

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Katsuhiko HAYASHI

GAU:

SERIAL NO: 10/743,129

EXAMINER:

FILED: December 23, 2003

FOR: MAGNETORESISTIVE EFFECT ELEMENT AND MEMORY DEVICE USING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-380720	December 27, 2002
JAPAN	2002-380721	December 27, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)Paul Sacher
Registration No. 43,418

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 8 0 7 2 0
Application Number:

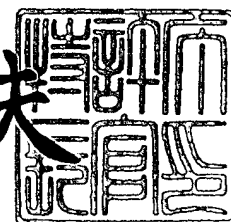
ST. 10/C] : [J P 2 0 0 2 - 3 8 0 7 2 0]

願 人 T D K 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

【書類名】 特許願

【整理番号】 04692

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/15
G11C 11/14

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 林 克彦

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100096770

【弁理士】

【氏名又は名称】 四宮 通

【電話番号】 045-562-8508

【手数料の表示】

【予納台帳番号】 040246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 電氣的に直列に接続された複数のメモリセルと、前記各メモリセルに 1 つずつ並列接続された複数のスイッチング素子とを備え、

前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、

前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、

前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電氣的に直列接続されて電氣的な直列接続体を構成し、

前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電氣的に接続され、

前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフすることを特徴とするメモリ装置。

【請求項 2】 配列された複数のブロックを備え、

前記各ブロックは、電氣的に直列に接続された複数のメモリセルと、前記各メモリセルに 1 つずつ並列接続された複数のスイッチング素子とを含み、

前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、

前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、

前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電氣的に直列接続されて電氣的な直列接続体を構成し、

前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経過して前記直列接続体の他端から流出するように、センス電流供給部と電氣的に接続され、

前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフすることを特徴とするメモリ装置。

【請求項 3】 前記複数のブロックが行方向及び列方向に 2 次元マトリクス状に配置されるとともに、前記各ブロックの前記複数のメモリセルが列方向に配置され、

前記複数のブロックの前記複数のスイッチング素子の前記制御入力部が、各行毎に、各々が各行に対応した複数の第 1 の読み出し選択線によって共通して接続され、

前記各ブロックは、当該ブロックの前記複数のメモリセルの一方の直列接続端に接続された選択スイッチを含み、

前記複数ブロックの前記複数のメモリセルの他方の直列接続端が、各列毎に、各々が各列に対応した複数の読み出し線によって共通して接続され、

前記複数のブロックの前記選択スイッチの制御入力部が、各列毎に、各々が各列に対応した複数の第 2 の読み出し選択線によって共通して接続された、ことを特徴とする請求項 2 記載のメモリ装置。

【請求項 4】 前記各スイッチング素子が電界効果トランジスタであることを特徴とする請求項 1 乃至 3 のいずれかに記載のメモリ装置。

【請求項 5】 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、同一の層構造を持つことを特徴とする請求項 1 乃至 4 のいずれかに記載のメモリ装置。

【請求項 6】 前記各磁気抵抗効果素子において、前記センス電流は、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される一対の磁気抵抗効果

素子部において、前記有効領域を互いに逆向きに流れることを特徴とする請求項 1 乃至 5 のいずれかに記載のメモリ装置。

【請求項 7】 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される一对の磁気抵抗効果素子部同士の接続は、当該一对の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部を構成する少なくとも 1 つの層と他方の磁気抵抗効果素子部を構成する対応する層とが、それぞれ同一材料で一体に形成されることにより、行われたことを特徴とする請求項 1 乃至 6 のいずれかに記載のメモリ装置。

【請求項 8】 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の数は偶数であることを特徴とする請求項 1 乃至 7 のいずれかに記載のメモリ装置。

【請求項 9】 前記各磁気抵抗効果素子において、前記直列接続体の前記一端は、1 つの磁気抵抗効果素子部の前記基体側の層であり、

前記各磁気抵抗効果素子において、前記直列接続体の前記他端は、他の 1 つの磁気抵抗効果素子部の前記基体側の層であることを特徴とする請求項 8 記載のメモリ装置。

【請求項 10】 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、第 1 及び第 2 の磁性層を含むことを特徴とする請求項 1 乃至 9 のいずれかに記載のメモリ装置。

【請求項 11】 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第 1 及び第 2 の磁性層の間に挟まれたトンネルバリア層を含むことを特徴とする請求項 10 記載のメモリ装置。

【請求項 12】 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第 1 及び第 2 の磁性層の間に挟まれた非磁性金属層を含むことを特徴とする請求項 10 記載のメモリ装置。

【請求項 13】 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される少なくとも一对の磁気抵抗効果素子部同士の接続は、当該一对の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第 1 の磁性層と他方の磁気抵抗効果素子部の前記第 1 の磁性層とが、それ

ぞれ同一材料で一体に形成されることにより、行われたことを特徴とする請求項 10 乃至 12 のいずれかに記載のメモリ装置。

【請求項 14】 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される少なくとも一对の磁気抵抗効果素子部同士の接続は、当該一对の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第 2 の磁性層と他方の磁気抵抗効果素子部の前記第 2 の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたことを特徴とする請求項 10 乃至 13 のいずれかに記載のメモリ装置。

【請求項 15】 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第 1 の磁性層は、磁化方向が外部磁場によって変化するフリー層であり、

前記各磁気抵抗効果素子部の前記第 2 の磁性層は、磁化方向が一定方向に固定されたピン層であることを特徴とする請求項 10 乃至 14 のいずれかに記載のメモリ装置。

【請求項 16】 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の前記第 2 の磁性層の磁化方向が同一であることを特徴とする請求項 15 記載のメモリ装置。

【請求項 17】 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第 1 の磁性層は、前記第 2 の磁性層の前記基体とは反対側に配置されたことを特徴とする請求項 15 又は 16 記載のメモリ装置。

【請求項 18】 前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第 1 の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第 2 の状態とに、切り替える磁場を与えるための、2 本の書き込み線がそれぞれ配置され、

前記 2 本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられることを特徴とする請求項 1 乃至 17 のいずれかに記載のメモリ装置。

【請求項 19】 前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子

の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第1の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第2の状態とに、切り替える磁場を与えるための、2本の書き込み線がそれぞれ配置され、

前記2本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられ、

当該磁気抵抗効果素子に対して、前記2本の書き込み線が生ずる磁場を前記フリー層へ案内する磁路形成層が設けられたことを特徴とする請求項17記載のメモリ装置。

【請求項20】 前記各磁気抵抗効果素子に対してそれぞれ配置された2本の書き込み線は、前記積層面に沿った互いに異なる方向に延びて互いに交差し、

前記各磁気抵抗効果素子に対して設けられた前記磁路形成層は、当該磁気抵抗効果素子に対して配置された前記2本の書き込み線が生ずる合成磁場を、当該2本の書き込み線の交差部の四隅付近において当該磁気抵抗効果素子の前記フリー層へ案内することを特徴とする請求項19記載のメモリ装置。

【請求項21】 前記各磁気抵抗効果素子に対してそれぞれ配置された前記2本の書き込み線は、互いに電氣的に絶縁されたことを特徴とする請求項18乃至20のいずれかに記載のメモリ装置。

【請求項22】 前記各磁気抵抗効果素子に対してそれぞれ配置された2本の書き込み線は、当該磁気抵抗効果素子の前記基体とは反対の側に配置されたことを特徴とする請求項18乃至21のいずれかに記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗効果素子を用いたメモリ装置に関するものである。

【0002】

【従来の技術】

MRAM（磁気ランダムアクセスメモリ）は、不揮発性であり、従来より使用されているDRAM（ダイナミックランダムアクセスメモリ）の一つの欠点であ

る揮発性を解決できることから、その研究が進められている。

【0003】

磁気抵抗効果素子のうち、積層面と垂直な方向にセンス電流を流す磁気抵抗効果素子の一つであるTMR素子（トンネル磁気効果素子）は、MR比（磁気抵抗比）が高いことから、MRAMで用いられるようになってきている。

【0004】

ここで、TMR素子を用いたMRAMの2つの従来例について、図面を参照して説明する。

【0005】

まず、第1の従来例について、図34を参照して説明する。図34は、第1の従来例のMRAMの1つのメモリセルの付近を示す概略断面図である。このMRAMでは、図34中の左右方向に延在し図34中の紙面に垂直な方向に間隔をあけて配置された複数の上部導体配線1と、図34中の紙面に垂直な方向に延在し図34中の左右方向に間隔をあけて配置された複数の下部導体配線2とを、有している。これらの配線1、2の交差点にメモリセルとしてのTMR素子3がそれぞれ配置されている。TMR素子3は、絶縁層からなるトンネルバリア層4と、これを挟む2つの磁性層5、6と、反強磁性層からなるピン層7とから構成されている。ピン層7によって下側の磁性層6の磁化方向が固定され、磁性層6がピンド層となっている。一方、上側の磁性層5は、外部磁場によって変化するフリー層となっている。上側の磁性層5は上部導体配線1に電氣的に接続され、ピン層7は下部導体配線2に電氣的に接続されている。

【0006】

この第1の従来例では、1つのメモリセルは、1つのTMR素子3で構成されている。そして、TMR素子3は、トンネルバリア層4とこれを挟む2つの磁性層との重なり領域（トンネル接合領域）は1つしか有していない。

【0007】

TMR素子3にデータを書き込む際には、当該TMR素子3に接続された上部導体配線1及び下部導体配線2に電流を流すことで生ずる両者の合成電流磁場によって、フリー層5の磁化の向きを設定する。配線1、2のうちの一方の電流方

向を変えることで、フリー層 5 の磁化の向きを、ピンド層 6 の磁化の向きに対して平行・反平行に切り替えることができる。

【0008】

TMR 素子 3 は、磁性層 5, 6 の磁化の方向が平行（同一）の場合、磁性層 5, 6 の一方からトンネルバリア層 53 を介して他方へ流れる電流の抵抗値は低く（ R ）なり、反平行の場合はそれが高くなる（ $R + \Delta R$ ）性質を持つ。したがって、「0」、「1」（又はその逆）のデータを、抵抗値 R 、及び $R + \Delta R$ にそれぞれに対応させて、記憶させることができる。なお、このときの $\Delta R / R$ が TMR 素子 3 の MR 比となる。データの読み出し時には、上部配線層 1 → 各層 5, 4, 6, 7 → 下部配線層 2 の経路（又は逆の経路）で電流（センス電流）を流し、この電流に基づいて前記抵抗値の大小を検出することで、TMR 素子 3 に書き込まれたデータを読み出す。

【0009】

以上の説明からわかるように、データの書き込み時のみならずデータの読み出し時にも、複数の上部導体配線 1 のうちの 1 本を選択するとともに前記複数の下部導体配線 3 のうちの 1 本を選択することで特定の TMR 素子 3（メモリセル）が選択され、選択された TMR 素子 3 に対してデータの読み出し／書き込みが行われる。

【0010】

なお、図 34 において、層 8 は、前記書き込み及び読み出しを行うための回路を半導体基板 9 と共に形成する回路素子構成部分や配線等を含んでいるが、その詳細な図示は省略する。TMR 素子 3 及び導体配線 1, 2 は、半導体基板 9 及び層 8 上に形成されている。半導体基板 9 及び層 8 は、全体として、いわゆる IC 基板に相当する。

【0011】

以上説明した第 1 の従来例に相当する MRAM が、特許文献 1 に開示されている。

【0012】

次に、第 2 の従来例の MRAM について、図 35 及び図 36 を参照して説明す

る。図35は第2の従来例のMRAMの読み出し回路を示す回路図、図36はその構造を示す断面図である。この第2の従来例は、特許文献2に開示されたMRAMである。このMRAM100では、各メモリセルとして1個ずつのTMR素子が用いられ、TMR素子（トンネル接合を有する磁気積層体）MS0～MS3が電氣的に直列に接続され、各TMR素子MS0～MS3にそれぞれトランジスタX0～X3がビアVU1, VL1, VU2, VL2, VU3を介して電氣的に接続されている。TMR素子MS0～MS3の直列接続の一端はスイッチS1を介してビット線BLに接続され、その他端は接地されている。なお、図36において、108, 110, 112, 114, 116, 118はスイッチS1, トランジスタX3～X1を構成するソース／ドレイン領域（+n領域）、PCはスイッチS1, トランジスタX3～X1を構成するゲートである。また、120, 122, 124, 126, 128は金属板である。

【0013】

この第2の従来例も前記第1の従来例と基本的にデータの読み書きの原理は同様であるが、第2の従来例では、データの書き込みは、TMR素子MS0～MS3に対して共通してこれらの上方に配置されたビット線BLと、TMR素子MS0～MS3に対して1対1にその下方に設けられたワード線WLとの、合成電流磁場によって行われる。一方、データの読み出しは、トランジスタX0～X3のうちの1つのみを選択的にオフするとともに残りをオンにし、スイッチS1をオンすることで、選択的にオフにしたトランジスタに対応するTMR素子が選択され、このTMR素子からの電流が出力されることにより、行われる。

【0014】

この第2の従来例も、前記第1の従来例と同様に、1つのメモリセルが1つのTMR素子で構成されている。そして、各TMR素子は、トンネルバリア層とこれを挟む2つの磁性層との重なり領域（トンネル接合領域）は1つしか有していない。

【0015】

前記第2の従来例では、前記第1の従来例に比べて、メモリの高容量化の点で優れている。すなわち、前記第1の従来例のメモリ装置の構造は一般的にNOR

型回路といわれ、メモリの高速動作に適した回路構成と言われる。しかし、欠点として配線が複雑になるため、メモリ容量の高容量化に対しては適した構造ではない。個々のアドレスを指定する事になるのでアドレス制御線が多数必要となり、またその指定の仕方が複雑化する欠点がある。一方、前記第2の従来例では、読み出し回路に、前述した回路構成が採用されており、いわゆるNAND型回路が採用されている。したがって、トランジスタX0～X3のドレイン／ソースを共用させることにより、トランジスタ間の配線に関して特別な導体パターンによる配線が必要なくなり、トランジスタの配置密度を向上させることができ、ひいては、メモリ容量の高容量化を図ることができるのである。

【0016】**【特許文献1】**

特開2002-249565号公報

【特許文献2】

米国特許出願公開第2002/0097598号明細書

【0017】**【発明が解決しようとする課題】**

しかし、前記第1及び第2の従来例で採用されているような一般的なTMR素子では、TMR素子が有する電圧バイアス特性に起因して実際に得られるMR比が低下してしまうという欠点があった。この点について説明する。

【0018】

TMR素子はデータを読み出したりその他の磁気検出を行ったりする際、TMR素子の2つの磁性層（トンネルバリア層を挟んでいる2つの磁性層）の間にセンス電流を流す必要がある。そのため、この電流を流すための前記2つの磁性層の間に電圧を印加する。しかしながら、一般的にTMR素子の磁気抵抗の変化率（ $MR比 = \Delta R / R$ ）は50%以下であって、必ずしも高くなく、その上、TMR素子は、積層方向に電流を流すために印加する電圧が大きくなるとMR比が低下する性質（電圧バイアス特性）を有する。その変化は、TMR素子の構成にもよるが、例えば印加電圧が0.5V程度に大きくなると、既にMR比が約半分以下になってしまう。

【0019】

したがって、前記第1及び第2の従来例では、読み出し信号のSN比が低下し、データ読み出しの信頼性を必ずしも十分に高めることができなかった。

【0020】

また、前記第2の従来例の場合、読み出し回路にNAND回路を採用する上で、TMR素子の入出力端（センス電流の流入端と流出端）の両方を基板側に電氣的に接続することが不可欠である。前記第2の従来例では、TMR素子MS0～MS3の基板側の端部をビアVL1、VL2を用いて基板に接続し、TMR素子MS0～MS3の基板と反対側の端部をビアVU1、VU2、VU3を用いて基板に接続している。ところが、TMR素子のトンネル接合領域には積層面と垂直にセンス電流を流さなければならないことから、TMR素子MS0～MS3の一方の端部は他方の端部に対して基板から離れざるを得ない。したがって、ビアVU1、VU2、VU3は、ビアVL1、VL2に比べて、高さが高くなりより多くの層数を跨るように形成しなければならない。しかし、多くの層数に跨るようなビアを形成することは、製造プロセス上困難となってしまう。

【0021】

このように、前記第2の従来例ではメモリ容量の高容量化に適したものでありながら、製造プロセスを簡単にすることができない。

【0022】

本発明は、このような事情に鑑みてなされたもので、メモリ容量の高容量化を図ることができるとともに、データ読み出しの信頼性を高めることができることができるメモリ装置を提供することを目的とする。

【0023】

また、本発明は、メモリ容量の高容量化を図ることができるとともに、データ読み出しの信頼性を高めることができ、しかも、磁気抵抗効果素子の入出力端の電氣的な接続に伴う製造プロセスを簡単にすることができるメモリ装置を提供することを目的とする。

【0024】

【課題を解決するための手段】

前記課題を解決するため、本発明の第1の態様によるメモリ装置は、(b) 電氣的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを備え、(b) 前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、(c) 前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、(d) 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電氣的に直列接続されて電氣的な直列接続体を構成し、(e) 前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電氣的に接続され、(f) 前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフするものである。

【0025】

この第1の態様によれば、電氣的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを備えており、いわゆるNAND型回路が採用されている。したがって、メモリ容量の高容量化を図ることができる。

【0026】

前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部がそれぞれ従来の一般的な磁気抵抗効果素子に相当するが、これらが直列接続されている。したがって、印加電圧が個々の磁気抵抗効果素子部に対して分圧として印加されるので、個々の磁気抵抗効果素子部に掛かる電圧が小さくなる。このため、前記磁気抵抗効果素子では、電圧バイアス特性に起因するMR比の低下が少なくなり、MR比が向上する。したがって、前記第1の態様によれば、データ読み出しの信頼性が高まる。

【0027】

ところで、個々の磁気抵抗効果素子部を直列接続する別の手法として、複数の

磁気抵抗効果素子部を積み上げることが考えられる。しかしながら、この場合には、製造時に、個々の磁気抵抗効果素子部の成膜をその数だけ繰り返さなければならない。このため、製造に著しく手数を要するとともに歩留りが低下し、コストが増大する。例えば、磁気抵抗効果素子部がTMR素子部である場合、トンネルバリア層は非常に薄くわずかな製造条件の違いで所望の特性が得られなくなってしまう、そのトンネルバリア層の成膜は非常に困難である。このようなトンネルバリア層の成膜を複数回繰り返さなければならないとすれば、製造が著しく困難になるとともに歩留りが大幅に低下することは、避けられない。

【0028】

これに対し、前記第1の態様では、前記複数の磁気抵抗効果素子部は、互いに対して積層面に沿った方向に配置されているので、各磁気抵抗効果素子部の層を一括して同時に成膜することができ、製造が容易で歩留りも低下しない。

【0029】

本発明の第2の態様によるメモリ装置は、(a) 配列された複数のブロックを備え、(b) 前記各ブロックは、電氣的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを含み、(c) 前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、(d) 前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、(e) 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電氣的に直列接続されて電氣的な直列接続体を構成し、(f) 前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次經由して前記直列接続体の他端から流出するように、センス電流供給部と電氣的に接続され、(g) 前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフするものである。

【0030】

この第2の態様によれば、ブロック構成を採用しているので、NAND型回路を採用してメモリ容量の高容量化を実現しつつ、高速なランダムアクセスが可能となる。

【0031】

本発明の第3の態様によるメモリ装置は、前記第2の態様において、(a) 前記複数のブロックが行方向及び列方向に2次元マトリクス状に配置されるとともに、前記各ブロックの前記複数のメモリセルが列方向に配置され、(b) 前記複数のブロックの前記複数のスイッチング素子の前記制御入力部が、各行毎に、各々が各行に対応した複数の第1の読み出し選択線によって共通して接続され、(c) 前記各ブロックは、当該ブロックの前記複数のメモリセルの一方の直列接続端に接続された選択スイッチを含み、(d) 前記複数ブロックの前記複数のメモリセルの他方の直列接続端が、各列毎に、各々が各列に対応した複数の読み出し線によって共通して接続され、(e) 前記複数のブロックの前記選択スイッチの制御入力部が、各列毎に、各々が各列に対応した複数の第2の読み出し選択線によって共通して接続されたものである。

【0032】

この第3の態様は、高速なランダムアクセスが可能なブロック構成の一具体例を挙げたものである。

【0033】

本発明の第4の態様によるメモリ装置は、前記第1乃至第3のいずれかの態様において、前記各スイッチング素子が電界効果トランジスタであるものである。

【0034】

この第4の態様によれば、電界効果トランジスタのドレイン／ソースを共用させることによりNAND型回路を実現することができ、トランジスタ間の配線に関して特別な導体パターンによる配線が必要なくなり、トランジスタの配置密度を向上させることができ、ひいては、更にメモリ容量の高容量化を図ることができる。

【0035】

本発明の第5の態様によるメモリ装置は、前記第1乃至第4のいずれかの態様

において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、同一の層構造を持つものである。

【0036】

この第5の態様によれば、各磁気抵抗効果素子部が同一の層構造を持つので、各磁気抵抗効果素子部の層を一括して同時に成膜することができ、製造が容易となる。

【0037】

本発明の第6の態様によるメモリ装置は、前記第1乃至第5のいずれかの態様において、前記各磁気抵抗効果素子において、前記センス電流は、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される一対の磁気抵抗効果素子部において、前記有効領域を互いに逆向きに流れるものである。

【0038】

前記第1乃至第5の態様では、前記一対の磁気抵抗効果素子部においてセンス電流が同じ向きに流れるようにすることも可能である。しかしながら、前記第6の態様のように逆向きに流れるようにすれば、前記一対の磁気抵抗効果素子部の同じ側同士を電氣的に接続すればよい。このため、複数の磁気抵抗効果素子部の直列接続のための電氣的な接続を容易に行うことができるので、好ましい。

【0039】

本発明の第7の態様によるメモリ装置は、前記第1乃至第6のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部を構成する少なくとも1つの層と他方の磁気抵抗効果素子部を構成する対応する層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

【0040】

この第7の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電氣的な接続を容易に行うことができるので、好ましい。

【0041】

本発明の第8の態様によるメモリ装置は、前記第1乃至第8のいずれかの態様

において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の数は偶数であるものである。

【0042】

この第8の態様によれば、前記複数の磁気抵抗効果素子部の数が偶数であるので、当該磁気抵抗効果素子の入出力端（前記直列接続体の一端と他端）を同じ側に配置することができる。したがって、磁気抵抗効果素子の入出力端を両方とも同じ側に電氣的に接続する必要がある場合、磁気抵抗効果素子の入出力端の電氣的な接続に伴う製造プロセスを簡単にすることができる。

【0043】

本発明の第9の態様によるメモリ装置は、前記第8の態様において、前記各磁気抵抗効果素子において、前記直列接続体の前記一端は、1つの磁気抵抗効果素子部の前記基体側の層であり、前記各磁気抵抗効果素子において、前記直列接続体の前記他端は、他の1つの磁気抵抗効果素子部の前記基体側の層であるものである。

【0044】

この第9の態様によれば、当該磁気抵抗効果素子の入出力端（前記直列接続体の一端と他端）が両方とも、前記基体側に位置する。したがって、磁気抵抗効果素子の入出力端を両方とも基体側に電氣的に接続する必要がある場合、磁気抵抗効果素子の入出力端の電氣的な接続に伴う製造プロセスを簡単にすることができる。

【0045】

本発明の第10の態様によるメモリ装置は、前記第1乃至第9のいずれかの態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、第1及び第2の磁性層を含むものである。

【0046】

本発明の第11の態様によるメモリ装置は、前記第10の態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれたトンネルバリア層を含むものである。この第11の態様は、前記各磁気抵抗効果素子部をTMR素子部とした例である。

【0047】

本発明の第12の態様によるメモリ装置は、前記第10の態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれた非磁性金属層を含むものである。この第12の態様は、前記各磁気抵抗効果素子部を、センス電流を積層面に対して略垂直に流すGMR (Giant Magneto-Resistive) 素子部とした例である。

【0048】

本発明の第13の態様によるメモリ装置は、前記第10乃至第12のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第1の磁性層と他方の磁気抵抗効果素子部の前記第1の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

【0049】

この第13の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電氣的な接続を容易に行うことができるので、好ましい。

【0050】

本発明の第14の態様によるメモリ装置は、前記第10乃至第13のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電氣的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第2の磁性層と他方の磁気抵抗効果素子部の前記第2の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

【0051】

この第14の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電氣的な接続を容易に行うことができるので、好ましい。

【0052】

本発明の第15の態様によるメモリ装置は、前記第10乃至第14のいずれかの態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部

の前記第 1 の磁性層は、磁化方向が外部磁場によって変化するフリー層であり、

【0053】

前記各磁気抵抗効果素子部の前記第 2 の磁性層は、磁化方向が一定方向に固定されたピン層であるものである。

【0054】

この第 15 の態様のように、前記第 1 及び第 2 の磁性層をフリー層とピン層にすることが一般的であるが、前記第 7 乃至第 11 の態様では、これに限定されない。

【0055】

本発明の第 16 の態様によるメモリ装置は、前記第 15 の態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の前記第 2 の磁性層の磁化方向が同一であるものである。

【0056】

この第 16 の態様によれば、前記複数の磁気抵抗効果素子部の前記第 2 の磁性層の磁化方向が同一であるので、外部磁場が各フリー層へ同じように作用した場合に、適切に作動させることができる。

【0057】

本発明の第 17 の態様によるメモリ装置は、前記第 15 又は第 16 の態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第 1 の磁性層は、前記第 2 の磁性層の前記基体とは反対側に配置されたものである。

【0058】

この第 17 の態様によれば、外部磁場の作用を前記基体とは反対側から受ける場合、外部磁場をフリー層が感度良く受けることになるので、好ましい。

【0059】

本発明の第 18 の態様によるメモリ装置は、前記第 1 乃至第 17 のいずれかの態様において、前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第 1 の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第 2 の状態とに、切り替える磁場を与えるための、

2本の書き込み線がそれぞれ配置され、前記2本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられるものである。

【0060】

この第18の態様によれば、前記第1の状態と前記第2の状態とに切り替えられるので、前記複数の磁気抵抗効果素子部を総合した全体としての磁気抵抗変化が大きくなる。このため、データ読み出しの信頼性がより高まる。

【0061】

本発明の第19の態様によるメモリ装置は、前記第17の態様において、前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第1の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第2の状態とに、切り替える磁場を与えるための、2本の書き込み線がそれぞれ配置され、前記2本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられ、当該磁気抵抗効果素子に対して、前記2本の書き込み線が生ずる磁場を前記フリー層へ案内する磁路形成層が設けられたものである。

【0062】

この第19の態様によれば、書き込み線が生ずる磁場が磁路形成層によってフリー層へ効率良く与えられるので、書き込み線へ流す電流を抑えることができる。このため、書き込み線の断面積を小さくすることでより高容量化が可能となるとともに、消費電流を小さくすることができる。また、磁路形成層は、磁気シールドとしても作用するので、データ書き込み時のメモリセル同士の磁気的な影響を低減することができる。

【0063】

本発明の第20の態様によるメモリ装置は、前記第19の態様において、前記各磁気抵抗効果素子に対してそれぞれ配置された2本の書き込み線は、前記積層面に沿った互いに異なる方向に延びて互いに交差し、前記各磁気抵抗効果素子に対して設けられた前記磁路形成層は、当該磁気抵抗効果素子に対して配置された

前記 2 本の書き込み線が生ずる合成磁場を、当該 2 本の書き込み線の交差部の四隅付近において当該磁気抵抗効果素子の前記フリー層へ案内するものである。

【0064】

この第 20 の態様によれば、前記磁路形成層が合成磁場を前記交差部の四隅付近においてフリー層へ案内するので、書き込みのために本来的に必要な磁場が効率良くフリー層へ与えられる。

【0065】

本発明の第 21 の態様によるメモリ装置は、前記第 18 乃至第 20 のいずれかの態様において、前記各磁気抵抗効果素子に対してそれぞれ配置された前記 2 本の書き込み線は、互いに電氣的に絶縁されたものである。

【0066】

この第 21 の態様によれば、書き込み線が互いに電氣的に絶縁されているので、目的のメモリセルに書き込みのための電流を安定して供給することができる。

【0067】

本発明の第 22 の態様によるメモリ装置は、前記第 18 乃至第 21 のいずれかの態様において、前記各磁気抵抗効果素子に対してそれぞれ配置された 2 本の書き込み線は、当該磁気抵抗効果素子の前記基体とは反対の側に配置されたものである。

【0068】

一般的に磁気抵抗効果素子の形成にはその下地の平面度が極めて高い必要がある。そのため、磁気抵抗効果素子の下地については CMP 等を使って十分に平坦にする必要がある。ところが、書き込み線には書き込みのために比較的大きな電流を流す必要があることから、書き込み線の厚さは比較的厚い。このため、磁気抵抗効果素子の作製前に書き込み線を作製すると、磁気抵抗効果素子の下地の凹凸が大きくなり、その下地を十分に平坦にするためには、非常に手間と多くの処理が必要となる。これに対し、前記第 22 の態様によれば、書き込み線を作製する前に磁気抵抗効果素子を作製することができる。よって、磁気抵抗効果素子の作製の下地が既に十分に平坦化されているかあるいは凹凸の少ない面であるので、その下地を容易に極めて高い平坦度の面を形成し易くなる。よって、磁気抵抗

効果素子形成プロセスに関しても容易にすることができる。

【0069】

【発明の実施の形態】

以下、本発明による磁気抵抗効果素子及びこれを用いたメモリ装置について、図面を参照して説明する。

【0070】

本発明の実施の形態の説明に先立って、本発明によるメモリ装置で用いることができる磁気抵抗効果素子の例について、説明する。

【0071】

[第1のTMR素子]

【0072】

図1は、本発明で用いることができる第1のTMR素子11を示す概略断面図である。図2は、図1中のA-A'矢視図である。理解を容易にするため、図1及び図2に示すように、互いに直交するX軸、Y軸及びZ軸を定義する（後述する図についても同様である。）。また、Z軸方向のうち矢印の向きを+Z方向又は+Z側、その反対の向きを-Z方向又は-Z側と呼び、X軸方向及びY軸方向についても同様とする。また、+Z方向を上、-Z方向を下と呼ぶ場合がある。XY平面が基板21の面と平行になっている。

【0073】

本例では、TMR素子11は、2つのTMR素子部11A、11Bを有し、これらが、基体としての半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部11A、11Bは、互いに対してX軸方向（積層面に沿った方向）に配置されている。

【0074】

TMR素子部11Aは、下側から順に積層されたピン層12a、磁化方向がピン層12aにより固定されたピンド層（第2の磁性層）13a、トンネルバリア層14a及びフリー層（第1の磁性層）15aからなる積層体で構成されている。TMR素子部11BもTMR素子部11Aと同一の層構造を持ち、下側から順に積層されたピン層12b、磁化方向がピン層12bにより固定されたピンド層

(第2の磁性層) 13b、トンネルバリア層14b及びフリー層(第1の磁性層) 15bからなる積層体で構成されている。

【0075】

ピン層12a, 12bは、反強磁性層で構成され、例えば、PtMn、IrMn、RuRhMn、FeMn、NiMn、PdPtMn、RhMn又はCrMnPtなどのMn系合金で形成することが好ましい。ピンド層13a, 13b及びフリー層14a, 14bは、それぞれ強磁性層で構成され、例えば、Fe、Co、Ni、FeCo、NiFe、CoZrNb又はFeCoNiなどの材料で形成される。ピンド層13a, 13bは、それぞれピン層12a, 12bとの間の交換結合バイアス磁界によってその磁化方向が所定方向に固定されている。一方、フリー層15a, 15bは、外部磁場に応答して磁化の向きが変わるようになっている。トンネルバリア層14a, 14bは、絶縁層であり、例えば、Al₂O₃、NiO、GdO、MgO、Ta₂O₅、MoO₂、TiO₂又はWO₂などの材料で形成される。

【0076】

なお、例えば、前記第1及び第2の磁性層13a, 15aとして、特開平9-91949号公報に開示されているような保磁力差を与えたものを用いてもよい。磁性層13b, 15bについても同様である。この場合、ピン層12a, 12bは除去される。この点は、後述する各例のTMR素子についても同様である。

【0077】

本例では、図1及び図2に示すように、ピン層12a, 12b間及びピンド層13a, 13b間には、Y軸方向に延びた分離用の絶縁層16が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。なお、図面には示していないが、絶縁層16は、ピン層12a, 12b及びピンド層13a, 13bの周囲全体に渡って形成されている。一方、フリー層15a, 15bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部11A, 11Bは、電氣的に直列接続されて電氣的な直列接続体を構成している。なお、トンネルバリア層14a, 14bは、それぞれ同一の材料で一体に形成され、1つの連続した同一層を構成している。

【0078】

本例では、図1に示すように、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層12aのみから流入し、TMR素子部11A、11Bを順次経由した後に前記直列接続体の他端であるピン層12bのみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。TMR素子部11Aにおける磁気抵抗変化に有効な有効領域（トンネルバリア層14aとこれを挟んだ2つの層13a、15aの重なり領域（トンネル接合領域））、及び、TMR素子部11Bにおける磁気抵抗変化に有効な有効領域（トンネルバリア層14bとこれを挟んだ2つの層13b、15bの重なり領域（トンネル接合領域））を、それぞれ積層面と略垂直な方向に流れる。センス電流は、TMR素子部11A、11Bのトンネル接合領域をそれぞれ逆向きに流れる。

【0079】

TMR素子部11A、11Bの数が偶数であり、下側のピン層12a及びピンド層13aとピン層12b及びピンド層13bとがそれぞれ電氣的に絶縁されているため、前記直列接続体の両端は両方とも、下側（基板側）となっている。

【0080】

本例では、前記センス電流は、半導体基板21及び層22により構成された回路（図示せず）から供給される。半導体基板21及び層21は、全体として、いわゆるIC基板に相当している。本例では、層21はセンス電流供給部をなす接続ビア23aがピン層12aの下に形成され、センス電流受領部をなす接続ビア23bがピン層12bの下に形成されている。

【0081】

本例では、ピンド層13a、13bの磁化方向は同一に設定され、これにより、一体に形成されたフリー層15a、15bの磁化方向に対して、2つのピンド層13a、13bは同時に平行又は反平行の状態を作り出すことができる。

【0082】

本例のTMR素子11の磁化方向の一例を図3に示す。図3（a）は磁化方向の平行状態を示し、図3（b）は磁化方向の反平行状態を示している。ピンド層

13a, 13b及びフリー層15a, 15bの磁化容易化軸の向きは、基本的に、前記絶縁層16が延びるY軸方向に対して平行又は垂直の関係に設定することができる。但し、ピンド層13a, 13bの磁化容易軸方向が長くなる設計の方が磁化のエネルギーは安定化するので、TMR素子11の寸法関係によりピンド層13aの平面視での形状が長方形になるとき、長手方向に磁化容易軸がくるように設定することが好ましい。そこで、本例では、図2に示すように、平面視で長方形のピンド層13a, 13bのY軸方向の長さがX軸方向の長さより長いので、図3に示すように、ピンド層13a, 13bの磁化方向が-Y方向に設定されている。

【0083】

前述した理由で、図5に示すように平面視で長方形のピンド層13a, 13bのX軸方向の長さがY軸方向の長さより長い場合は、ピンド層13a, 13bの磁化方向を、図6に示すように、ピンド層13a, 13bの磁化容易軸方向が長くなるX軸方向に設定することが好ましい。

【0084】

本例のTMR素子11の等価回路は、図4に示すように、TMR素子部11Aの抵抗値を示す可変抵抗器r11aと、TMR素子部11Bの抵抗値を示す可変抵抗器r11bとの、直列接続で表される。しかも、一体に形成されたフリー層15a, 15bの磁化の方向の変化に対する可変抵抗器r11a, r11bの抵抗値増減の傾向は同一である。

【0085】

ここで、本例によるTMR素子11の製造方法の一例について、図7を参照して説明する。図7は、その各工程を示す概略断面図であり、図1に対応している。

【0086】

まず、用途に応じて作製され既に層22が形成された半導体基板21を用意する。次に、層22上に、ピン層12a, 12bとなるべき反強磁性層12、及び、ピンド層13a, 13bとなるべき磁性層13を、スパッタ法又はCVD法等により順次形成する。次いで、フォトリソグラフィ及びエッチングにより、反

強磁性層 12 及び磁性層 13 を、ピン層 12a, 12b 及びピンド層 13a, 13b の形状に合わせてパターンニングする (図 7 (a))。

【0087】

次に、その上に、スパッタ法又は CVD 法等により、絶縁層 16 を成膜する (図 7 (b))。次いで、CMP (化学的機械的研磨) により、磁性層 13 が露出するまで平坦化して、図 7 (a) で除去された層 12, 13 の部分にのみ絶縁層 16 を残す (図 7 (c))。

【0088】

次に、図 7 (c) に示す状態の基板上に、スパッタ法等により、トンネルバリア層 14a, 14b となるべき絶縁層 14、及び、一体に連続したフリー層 15a, 15b となるべき磁性層を、順次成膜する (図 7 (d))。

【0089】

その後、フォトリソグラフィー及びエッチングにより、層 15 をパターンニングする (図 7 (e))。これにより、TMR 素子 11 が完成する。

【0090】

本例によれば、前記センス電流を流す際に、TMR 素子 11 にかかる印加電圧を必要とするが、2つの TMR 素子部 11A, 11B が直列接続されているので、印加電圧がそれぞれの TMR 素子部 11A, 11B に対して分圧として印加される。このため、個々の TMR 素子部 11A, 11B に掛かる電圧が小さくなる。したがって、電圧バイアス特性に起因する MR 比の低下が少なくなり、MR 比が向上する。よって、TMR 素子 11 の磁気抵抗変化の検出感度が上がる。

【0091】

また、本例では、TMR 素子 11 の入出力端が下部に位置するピン層 12a, 12b であるため、TMR 素子 11 の入出力端を半導体基板 21 側に電氣的に接続する場合、その入出力端の電氣的な接続に伴う製造プロセスを簡単にすることができる。

【0092】

なお、本例において、トンネルバリア層 14a, 14b に代えて、それぞれ Cu 等の非磁性金属層を形成することもできる。ただし、この場合には、当該非磁

性金属層も、絶縁層 16 で電氣的に分離しておく。この場合、当該磁気抵抗効果素子は GMR 素子となる。これらの点は、後述する各例についても同様である。

【0093】

[第2のTMR素子]

【0094】

図8は、本発明で用いることができる第2のTMR素子31を示す概略断面図である。図9は、図8中のB-B' 矢視図である。

【0095】

TMR素子31は、第1のTMR素子11と同様に、2つのTMR素子部31A, 31Bを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部31A, 31Bは、互いに対してX軸方向（積層面に沿った方向）に配置されている。

【0096】

TMR素子部31Aは、下側から順に積層されたフリー層（第1の磁性層）32a、トンネルバリア層33a、ピンド層（第2の磁性層）34a及びピン層35aからなる積層体で構成されている。TMR素子部31BもTMR素子部31Aと同一の層構造を持ち、下側から順に積層されたフリー層（第1の磁性層）32b、トンネルバリア層33b、ピンド層（第2の磁性層）34b及びピン層35bからなる積層体で構成されている。

【0097】

本例では、図8及び図9に示すように、フリー層32a, 32b間には、Y軸方向に延びた分離用の絶縁層36が介在され、両者の間が分離されて電氣的に絶縁されている。一方、ピンド層34a, 34bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。また、ピン層35a, 35bも、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部31A, 31Bは、電氣的に直列接続されて電氣的な直列接続体を構成している。なお、トンネルバリア層33a, 33bは、それぞれ同一の材料で一体に形成され、1つの連続した同一層を構成している。

【0098】

本例では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるフリー層 32a のみから流入し、TMR 素子部 31A, 31B を順次経由した後に前記直列接続体の他端であるフリー層 32b のみから流出する。

【0099】

なお、一体に形成されたピンド層 34a, 34b の磁化方向は、例えば、X 軸方向又は Y 軸方向とされる。

【0100】

第 2 の TMR 素子 31 によっても、前記第 1 の TMR 素子 11 と同様の利点が得られる。

【0101】

[第 3 の TMR 素子]

【0102】

図 10 は、本発明で用いることができる第 3 の TMR 素子 41 を示す概略断面図である。図 11 は、図 10 中の C-C' 矢視図である。

【0103】

本例では、TMR 素子 41 は、第 1 の TMR 素子 11 と同様に、2 つの TMR 素子部 41A, 41B を有し、これらが、半導体基板 21 上の層 22 の上にそれぞれ積層されている。TMR 素子部 41A, 41B は、互いに対して X 軸方向（積層面に沿った方向）に配置されている。

【0104】

TMR 素子部 41A は、下側から順に積層されたピン層 42a、ピンド層（第 2 の磁性層）43a、トンネルバリア層 44a 及びフリー層（第 1 の磁性層）45a からなる積層体で構成されている。TMR 素子部 41B も TMR 素子部 41A と同一の層構造を持ち、下側から順に積層されたピン層 42b、ピンド層（第 2 の磁性層）43b、トンネルバリア層 44b 及びフリー層（第 1 の磁性層）45b からなる積層体で構成されている。

【0105】

本例では、図10及び図11に示すように、ピン層42a、42b間、ピンド層43a、43b間、トンネルバリア層44a、44b間及びフリー層45a、45b間には、Y軸方向に延びた分離用の絶縁層46が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。なお、図面には示していないが、絶縁層46は、ピン層42a、42b、ピンド層43a、43b、トンネルバリア層44a、44b及びフリー層45a、45bの周囲全体に渡って形成されている。フリー層45a、45b及び絶縁層46上には、連続して一体に形成された反強磁性層47が形成されている。これにより、TMR素子部41A、41Bは、電氣的に直列接続されて電氣的な直列接続体を構成している。

【0106】

本例では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層42aのみから流入し、TMR素子部41A、41Bを順次経由した後に前記直列接続体の他端であるピン層42bのみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。

【0107】

本例では、ピンド層43a、43bの磁化方向は同一に設定され、例えば、X軸方向又はY軸方向に設定される。

【0108】

ここで、TMR素子41の製造方法の一例について、図12を参照して説明する。図12は、その各工程を示す概略断面図であり、図10に対応している。

【0109】

まず、用途に応じて作製され既に層22が形成された半導体基板21を用意する。次に、層22上に、ピン層42a、42bとなるべき反強磁性層42、ピンド層43a、43bとなるべき磁性層43、トンネルバリア層44a、44bとなるべき絶縁層44、及び、フリー層45a、45bとなるべき磁性層45を、スパッタ法又はCVD法等により順次形成する(図12(a))。

【0110】

次いで、フォトリソグラフィー及びエッチングにより、層42～45を、ピン層42a、42b、ピンド層43a、43b、トンネルバリア層44a、44b

及びフリー層 45 a, 45 b の形状に合わせてパターンニングする (図 12 (b))。

【0111】

次に、その上にスパッタ法又は CVD 法等により絶縁層 46 を成膜する。その後、CMP により、磁性層 45 が露出するまで平坦化して、図 12 (b) で除去された層 42 ~ 45 の部分に相当する絶縁層 46 の部分のみを残す (図 12 (c))。

【0112】

次に、図 12 (c) に示す状態の基板上に、スパッタ法等により、反強磁性層 47 を成膜する (図 12 (d))。

【0113】

その後、フォトリソグラフィー及びエッチングにより、層 47 をパターンニングする (図 12 (e))。これにより、TMR 素子 41 が完成する。

【0114】

第 3 の TMR 素子 41 によっても、前記第 1 の TMR 素子 31 と同様の利点を得られる。なお、前記反強磁性層 47 に代えて、Cu 等の非磁性導電層を形成してもよい。また、前記反強磁性層 47 に代えて、酸化ルテニウム等の抵抗体層を形成してもよい。

【0115】

[第 4 の TMR 素子]

【0116】

図 13 は、本発明で用いることができる第 4 の TMR 素子 51 を示す概略断面図である。図 14 は、図 13 中の D-D' 矢視図である。

【0117】

本例では、TMR 素子 51 は、2 つの TMR 素子部 51 A, 51 B を有し、これらが、半導体基板 21 上の層 22 の上にそれぞれ積層されている。TMR 素子部 51 A, 51 B は、互いに対して X 軸方向 (積層面に沿った方向) に配置されている。

【0118】

TMR素子部51Aは、下側から順に積層されたピン層52a、ピンド層（第2の磁性層）53a、トンネルバリア層54a及びフリー層（第1の磁性層）55aからなる積層体で構成されている。TMR素子部51BもTMR素子部51Aと同一の層構造を持ち、下側から順に積層されたピン層52b、ピンド層（第2の磁性層）53b、トンネルバリア層54b及びフリー層（第1の磁性層）55bからなる積層体で構成されている。

【0119】

本例は、図13及び図14に示すように、フリー層55a、55b間が分離されて電氣的に絶縁されている。一方、ピン層52a、52bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。また、ピンド層53a、53bも、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部51A、51Bは、電氣的に直列接続されて電氣的な直列接続体を構成している。なお、トンネルバリア層54a、54bも分離されている。

【0120】

本例では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるフリー層55aのみから流入し、TMR素子部51A、51Bを順次経由した後に前記直列接続体の他端であるフリー層55bのみから流出する。なお、フリー層55a、55bは、図示しない配線層等により所定箇所に電氣的に接続されるようになっている。

【0121】

なお、一体に形成されたピンド層52a、52bの磁化方向は、例えば、X軸方向又はY軸方向とされる。

【0122】

第4のTMR素子51によっても、前記第1のTMR素子11と同様の利点が得られる。

【0123】

[第5のTMR素子]

【0124】

図15は、本発明の第5のTMR素子61を示す概略断面図である。図16は、図15中のE-E'矢視図である。

【0125】

本例では、TMR素子61は、3つのTMR素子部61A、61B、61Cを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部61A、61Bは、互いに対してX軸方向（積層面に沿った方向）に配置されている。

【0126】

TMR素子部61Aは、下側から順に積層されたピン層62a、ピンド層63a、トンネルバリア層64a及びフリー層65aからなる積層体で構成されている。TMR素子部61BもTMR素子部61Aと同一の層構造を持ち、下側から順に積層されたピン層62b、ピンド層63b、トンネルバリア層64b及びフリー層65bからなる積層体で構成されている。TMR素子部61CもTMR素子部61Aと同一の層構造を持ち、下側から順に積層されたピン層62c、ピンド層63c、トンネルバリア層64c及びフリー層65cからなる積層体で構成されている。

【0127】

本例では、図15及び図16に示すように、ピン層62a、62b間及びピンド層63a、63b間には、Y軸方向に延びた分離用の絶縁層66が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。フリー層65a、65bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。フリー層65b、65c間は分離されて電氣的に絶縁されている。ピン層62b、62cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピンド層63b、63cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部61A、61B、61Cは、電氣的に直列接続されて電氣的な直列接続体を構成している。なお、トンネルバリア層64a、64bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。トンネルバリア層64b、64c間は分離されている。

【0128】

本例では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層 62a のみから流入し、TMR 素子部 61A, 61B, 61C を順次経由した後に前記直列接続体の他端であるフリー層 65c のみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。なお、フリー層 65c は、図示しない配線層等により所定箇所に電氣的に接続されるようになっている。

【0129】

本例では、ピンド層 63a, 63b, 63c の磁化方向は同一に設定され、例えば、Y 軸方向に設定される。

【0130】

第 5 の TMR 素子 61 の等価回路は、図 17 に示すように、TMR 素子部 61A の抵抗値を示す可変抵抗器 r61a と、TMR 素子部 61b の抵抗値を示す可変抵抗器 r61b と、TMR 素子部 61c の抵抗値を示す可変抵抗器 r61c との、直列接続で表される。しかも、一体に形成されたフリー層 65a, 65b, 65c の磁化の方向の変化に対する可変抵抗器 r61a, r61b, 61c の抵抗値増減の傾向は同一である。

【0131】

第 5 の TMR 素子 61 によっても、前記第 1 の TMR 素子 11 と同様の利点が得られる。

【0132】

[第 6 の TMR 素子]

【0133】

図 18 は、本発明の第 6 の TMR 素子 71 を示す概略断面図である。図 19 は、図 18 中の F-F' 矢視図である。

【0134】

本例では、TMR 素子 71 は、4 つの TMR 素子部 71A, 71B, 71C, 71D を有し、これらが、半導体基板 21 上の層 22 の上にそれぞれ積層されている。TMR 素子部 71A, 71B, 71C, 71D は、互いに対して X 軸方向

(積層面に沿った方向)に配置されている。

【0135】

TMR素子部71Aは、下側から順に積層されたピン層72a、ピンド層73a、トンネルバリア層74a及びフリー層75aからなる積層体で構成されている。TMR素子部71BもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層72b、ピンド層73b、トンネルバリア層74b及びフリー層75bからなる積層体で構成されている。TMR素子部71CもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層72c、ピンド層73c、トンネルバリア層74c及びフリー層75cからなる積層体で構成されている。TMR素子部71DもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層72d、ピンド層73d、トンネルバリア層74d及びフリー層75dからなる積層体で構成されている。

【0136】

本例では、図18及び図19に示すように、ピン層72a、72b間及びピンド層73a、73b間には、Y軸方向に延びた分離用の絶縁層76が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。フリー層75a、75bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。フリー層75b、75c間は分離されて電氣的に絶縁されている。ピン層72b、72cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピンド層73b、73cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピン層72c、72d間及びピンド層73c、73d間には、Y軸方向に延びた分離用の絶縁層77が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。フリー層75c、75dは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部71A、71B、71C、71Dは、電氣的に直列接続されて電氣的な直列接続体を構成している。なお、トンネルバリア層74a、74bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。トンネルバリア層74b、74c間は分離されている。トンネルバリア層74C、74dは、それぞれ同一の材料で一体に形成さ

れ、1つの連続された同一層を構成している。

【0137】

本例では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層72aのみから流入し、TMR素子部71A, 71B, 71C, 71Dを順次経由した後に前記直列接続体の他端であるピン層72dのみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。

【0138】

本例では、ピンド層73a, 73b, 73c, 73dの磁化方向は同一に設定され、例えば、Y軸方向に設定される。

【0139】

本例のTMR素子71の等価回路は、図20に示すように、TMR素子部71Aの抵抗値を示す可変抵抗器r71aと、TMR素子部71bの抵抗値を示す可変抵抗器r71bと、TMR素子部71cの抵抗値を示す可変抵抗器r71cと、TMR素子部71dの抵抗値を示す可変抵抗器r71dとの、直列接続で表される。しかも、一体に形成されたフリー層75a, 75b, 75c, 75dの磁化の方向の変化に対する可変抵抗器r71a, r71b, 71c, 71dの抵抗値増減の傾向は同一である。

【0140】

第6のTMR素子71によっても、前記第1のTMR素子11と同様の利点が得られる。

【0141】

[第7のTMR素子]

【0142】

図21は、本発明の第7のTMR素子81を示す概略平面図である。図22は、図21中のG-G'線に沿った概略断面である。図23は、図21中のH-H'線に沿った概略断面である。図24は、図21中のJ-J'線に沿った概略断面である。図25は、図21中のK-K'線に沿った概略断面である。

【0143】

本例では、TMR素子81は、4つのTMR素子部81A、81B、81C、81Dを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部81A、81Bは互いに対してY軸方向に、TMR素子部81B、81Cは互いに対してX軸方向に、TMR素子部81C、81Dは互いに対してY軸方向に、TMR素子部81D、81Aは互いに対してX軸方向に、それぞれ配置されている。

【0144】

TMR素子部81Aは、下側から順に積層されたピン層82a、ピンド層83a、トンネルバリア層84a及びフリー層85aからなる積層体で構成されている。TMR素子部81BもTMR素子部81Aと同一の層構造を持ち、下側から順に積層されたピン層82b、ピンド層83b、トンネルバリア層84b及びフリー層85bからなる積層体で構成されている。TMR素子部81CもTMR素子部81Aと同一の層構造を持ち、下側から順に積層されたピン層82c、ピンド層83c、トンネルバリア層84c及びフリー層85cからなる積層体で構成されている。TMR素子部81DもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層82d、ピンド層83d、トンネルバリア層84d及びフリー層85dからなる積層体で構成されている。

【0145】

本例では、図21乃至及び図25に示すように、ピン層82a、82b間及びピンド層83a、83b間には、X軸方向に延びた分離用の絶縁層86が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。フリー層85a、85bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。フリー層85b、85c間は分離されて電氣的に絶縁されている。ピン層82b、82cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピンド層83b、83cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピン層82c、82d間及びピンド層83c、83d間には、X軸方向に延びた分離用の絶縁層87が介在され、両者の間が分離されてそれぞれ電氣的に絶縁されている。フリー層85c、85dは、それぞれ同一の材料で一体に形成され、1つの連続された同

一層を構成している。層 82 a ~ 85 a と層 82 d ~ 85 d との間は、分離されて電氣的に絶縁されている。これにより、TMR 素子部 81 A, 81 B, 81 C, 81 D は、電氣的に直列接続されて電氣的な直列接続体を構成している。なお、トンネルバリア層 84 a, 84 b は、それぞれ同一の材料で一体に形成され、1 つの連続された同一層を構成している。トンネルバリア層 84 b, 84 c 間は分離されている。トンネルバリア層 84 c, 84 d は、それぞれ同一の材料で一体に形成され、1 つの連続された同一層を構成している。

【0146】

本例では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層 82 a のみから流入し、TMR 素子部 81 A, 81 B, 81 C, 81 D を順次経由した後に前記直列接続体の他端であるピン層 82 d のみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。

【0147】

本例では、ピンド層 83 a, 83 b, 83 c, 83 d の磁化方向は同一に設定され、例えば、Y 軸方向に設定される。

【0148】

第 7 の TMR 素子 81 によっても、前記第 1 の TMR 素子 11 と同様の利点が得られる。

【0149】

以上、本発明で用いることができる TMR 素子の各例について、説明した。次に、このような TMR 素子を用いた本発明の各実施の形態によるメモリ装置について、説明する。

【0150】

[第 1 の実施の形態]

【0151】

図 26 は、本発明の第 1 の実施の形態によるメモリ装置のデータ読み出しに関する構成を示す概略構成図である。図 27 は、本発明の第 1 の実施の形態によるメモリ装置のデータ読み出し回路を構成する基本単位となる 1 つのブロック S B

を示す回路図である。図 28 は、本発明の第 1 の実施の形態によるメモリ装置のデータ書き込みに関する構成を示す図である。図 29 は、本発明の第 1 の実施の形態によるメモリ装置におけるメモリセルと書き込み線との位置関係を模式的に示す概略斜視図である。なお、図 29 では、理解を容易にするため、各メモリセルは、互いに接続されていないものとして示しているが、実際には図 30 に示すように接続されている。図 30 は、図 29 中の L-L' 線に沿った概略断面図である。

【0152】

本実施の形態によるメモリ装置は、MRAMとして構成されている。

【0153】

本実施の形態では、図 29 に示すように、Y 軸方向（行方向）に延びた複数の第 1 の書き込み線（書き込み用ワード線）101と、第 1 の書き込み線 101 の上側位置において X 軸方向（列方向）に延びた複数の第 2 の書き込み線（書き込みビット線）102と、第 1 及び第 2 の書き込み線 101、102 の各交差点において第 2 の書き込み線 102 の下側に配置されたメモリセル MS と、を備えている。この様子は、図 28 中にも模式的に示されている。このようにして、本実施の形態では、各メモリセル MS に対して 2 本の書き込み線 101、102 が配置されている。

【0154】

書き込み線 101、102 はそれぞれ導体で構成されている。図 30 に示すように、書き込み線 101、102 間には絶縁層 103 が形成され、両者の間が電氣的に絶縁されている。

【0155】

特に図 30 からわかるように、本実施の形態では、各メモリセル MS として、前述した図 1 及び図 2 に示す第 1 の TMR 素子 11 が用いられている。なお、図 30 では、個々のメモリセルを識別するため、符号「MS」に番号を付している（後述する図 27 も同様）。

【0156】

メモリセル MS（TMR 素子 11）の上部のフリー層と下側の書き込み線 10

1 との間には絶縁層 104 が形成され、両者の間が電氣的に絶縁されている。なお、絶縁層 104 を設けずに、両者の間が電氣的に接続されていてもよい。

【0157】

図 30 からわかるように、1 つのメモリセル MS (TMR 素子 11) 上で交差する 2 本の書き込み線 101, 102 にそれぞれ電流を供給することで書き込み線 101, 102 が生ずる合成磁場によって、当該メモリセル MS (TMR 素子 11) の 2 つの TMR 素子部 11A, 11B (図 1 参照。図 30 では図示せず。) の磁化の状態 (一体に形成されているフリー層 15a, 15b の磁化方向) が一括して切り替えられるようになっている。

【0158】

ここで、データ書き込みに関する構成及び動作について、図 28 を参照して説明する。

【0159】

各第 1 の書き込み線 101 の一端は、MOSFET 等からなる行選択スイッチ 121 の一端に接続されている。各行選択スイッチ 121 の他端は、定電流源 122 に接続されている。各選択スイッチ 121 のゲートは後述する書き込み用行デコーダ 115 に接続されている。各第 1 の書き込み線 101 の他端は接地されている。

【0160】

各書き込み線 102 の一端は、後述する電流方向スイッチ 117 に接続されている。各書き込み線 102 の他端は、後述する電流方向スイッチ 118 に接続されている。

【0161】

また、図 28 に示すように、本実施の形態によるメモリ装置は、図 28 に示すように、コマンドデコーダ 111 と、制御ロジック部 112 と、アドレスバッファ 113 と、クロックジェネレータ 114 と、書き込み用行デコーダ 115 と、書き込み用列デコーダ 116 と、電流方向スイッチ 117, 118 と、データ制御回路 119 と、入力データ用の I/O バッファ 120 と、を備えている。

【0162】

コマンドデコーダ 111 は、外部からのコマンド（書き込み及び読み出しのいずれであるかの指令など）を判別し、その判別結果を制御ロジック部 112 に供給する。

【0163】

アドレスバッファ 113 は、制御ロジック部 112 の制御下で、外部からのアドレスデータ（データの格納場所を示すデータ）を受け、そのアドレスデータを行方向アドレスと列方向アドレスとに分け、データ書き込み時には、各方向のアドレスをそれぞれ書き込み用行デコーダ 115 及び書き込み用列デコーダ 116 に供給する。

【0164】

書き込み用行デコーダ 115 は、アドレスバッファ 113 から供給されたアドレスに応じた行の行選択スイッチ 121 をオンにすることで、当該行の書き込み線 101 に定電流源 122 から電流を流す。

【0165】

書き込み用列デコーダ 116 は、アドレスバッファ 113 から供給されたアドレスに応じた列の書き込み線 102 を選択し、当該列の書き込み線 102 に電流が流れるように電流方向スイッチ 117 を作動させる。

【0166】

I/O バッファ 120 は、制御ロジック部 112 による制御下で、入力されたデータを一時的に蓄積して適切なタイミングでデータ制御回路 119 に供給する。データ制御回路 119 は、書き込み線 102 に流れる電流方向が書き込みデータに応じた方向となるように電流方向スイッチ 117, 118 を制御し、また、書き込み線 102 に流す駆動電流を供給する。

【0167】

なお、クロックジェネレータ 114 は、回路各部にその動作に必要なクロックを供給する。

【0168】

以上説明した各部の動作によって、外部からのコマンドによりデータ書き込みが指令されると、外部からのアドレスデータに応じたメモリセル MS 上の 2 本の

書き込み線 101, 102 に電流が流れ、かつ、書き込み線 102 の電流方向が書き込みデータに応じて設定される。その合成電流磁場によってメモリセル MS (TMR 素子 11) のフリー層の磁化方向がセットされ、データが書き込まれる。

【0169】

本実施の形態では、前述したように、書き込み線 101, 102 がメモリセル MS と電氣的に絶縁されているので、データの書き込み動作と読み出し動作とを独立して自由に行うことができる。また、前述したように、メモリセル MS 上で書き込み線 101 と書き込み線 102 とが交差する構造であるため、NOR 回路と全く同じ動作が可能となる。このため、高速なランダムアクセスが可能である。

【0170】

メモリセル MS を 1 つずつ順次書き込んでもよいが、1 本の書き込み線 101 に定電流を流し、かつ同時に複数の書き込み線 102 に電流を流すことにより、それらの交差点のメモリセル MS に同時にデータを書き込むことも可能である。

【0171】

次に、本実施の形態によるメモリ装置のデータ読み出しに関する構成について説明する。

【0172】

本実施の形態では、図 27 に示す 1 つのブロック SB を、データ読み出し回路を構成する基本単位としている。1 つのブロック SB は、電氣的に直列接続された 4 つのメモリセル MS1 ~ MS4 と、メモリセル MS1 ~ MS4 の各々に 1 つずつ並列接続された 4 つのスイッチング素子としての p-MOSFET S1 ~ S4 と、一端がメモリセル MS1 ~ MS4 の一方の直列接続端に接続された選択スイッチとしての n-MOSFET S0 と、から構成されている。

【0173】

なお、図 27 では、メモリセル MS1 ~ MS4 をそれぞれ 1 つの可変抵抗器で表示しているが、実際には、図 4 に示すように、2 つの可変抵抗器の直列接続体である。

【0174】

メモリセルMS1～MS4の他方の直列接続端は、読み出し線131に接続されている。p-MOSFETS1～S4の制御入力部としてのゲートは、それぞれ第1の読み出し選択線（読み出し用ビット線）132-1～132-4にそれぞれ接続されている。n-MOSFETS0の他端は、電源線133に接続されている。n-MOSFETS0の制御入力部としてのゲートは、第2の読み出し選択線（読み出し用ワード線）134に接続されている。

【0175】

なお、ブロックSBを構成するメモリセルMS及びこれに並列接続されるスイッチング素子（本実施の形態では、FET）の組数は、4つに限定されるものではなく、何ら限定されるものではない。

【0176】

このブロックSBの一部の断面構造が図30に示されている。本実施の形態では、メモリセルMS1～MS4の直列接続は、隣接する2つのメモリセルMSのピン層及びピンド層同士が同一材料で一体に連続して形成されることによって、行われている。

【0177】

また、図30に示すように、N型シリコン基板141に形成されたP⁺領域142によって、p-MOSFETS1～S4のドレイン／ソース領域が構成されている。隣接するFET同士でP⁺領域142が連続することで、特別な配線層を用いることなく、p-MOSFETS1～S4の直列接続が実現されている。図30において、143はp-MOSFETS1～S4のゲート、144はp-MOSFETS1～S4のチャネル領域である。ゲート143はポリシリコンで構成されている。

【0178】

そして、メモリセルMS1～MS4とp-MOSFETS1～S4との並列接続は、図30に示すように、P⁺領域142の上面とメモリセルMSのピン層の下面との間に配置された接続ビア145によって、行われている。

【0179】

ここで、図 27 にブロック S B の読み出し動作について説明する。このブロック S B が選択されない場合、すなわち、読み出し選択線 134 に L 信号が印加されている場合、n-MOSFET S0 がオフ状態であるので、このブロック S B からは読み出し線 131 へ電流は流れない。

【0180】

読み出し選択線 134 が H 信号が印加されると、n-MOSFET S0 がオン状態となり、電源線 133 からメモリセル MS1～MS4 の列に電源が供給される。このとき、読み出し選択線 132-1～4 のうち 1 本のみに H 信号を印加し残りに L 信号を印加する。すると、p-MOSFET S1～S4 のうちゲートに H 信号が印加された FET のみがオフ状態となり、残りの FET はオン状態となる。したがって、電源からの電流は、メモリセル MS1～MS4 のうちオフ状態となった FET と並列接続されているメモリセルのみを通過し、他のメモリセルは通過せずにそれらに並列接続された p-MOSFET 側を通過して、読み出し線 131 から出力される。これにより、メモリセル MS1～MS4 のうちの任意に選択した 1 つのメモリセル MS のセンス電流（読み出し電流、メモリセル MS の抵抗値に応じた電流）を、読み出し線 131 から得ることができる。

【0181】

図 26 に示すように、前述した図 27 に示すブロック B S が、行方向（Y 軸方向）及び列方向（X 軸方向）に 2 次元マトリクス状に配置されるとともに、各ブロック B S の 4 つのメモリセル MS が列方向（X 軸方向）に配置されている。なお、図面表記の便宜上、図 26 では、図 27 中の破線で囲んだ部分を長方形の実線で示している。

【0182】

これらのブロック B S の p-MOSFET S1～S4 のゲートが、各行毎に、各々が各行に対応した複数の読み出し選択線 132 で共通に接続されている。すなわち、前記読み出し選択線 132-1～132-4 が、各行毎に共通に接続され、それぞれ読み出し選択線 132 となっている。図 26 では、読み出し選択線 132 が途中で途切れているように表記しているが、実際には連続している。この読み出し選択線 132 は、実際には、図 30 中の p-MOSFET S1～S4

のゲート 143 がそのまま Y 軸方向に連続して延びることにより、構成されている。図 26 に示すように、各読み出し選択線 132 は、後述する読み出し用行デコーダ 141 に接続されている。

【0183】

また、各ブロック BS に接続されている読み出し線 131 は、図 26 に示すように、各列ごとに共通に接続されている。各読み出し線 131 のブロック BS とは反対側の端部は、後述するセンスアンプ 143 に接続されている。

【0184】

各ブロックに接続されている読み出し選択線 134 は、各列毎に共通に接続されている。各読み出し選択線 134 は、後述する読み出し用列デコーダ 142 に接続されている。

【0185】

図 26 に示すように、本実施の形態によるメモリ装置は、読み出し用行デコーダ 141 と、読み出し用列デコーダ 142 と、センスアンプ 143 と、データ制御回路 144 と、出力データ用の I/O バッファ 145 とを備えている。なお、データ読み出しに関する構成の一部として前述した、コマンドデコーダ 111、制御ロジック部 112、アドレスバッファ 113 及びクロックジェネレータ 114 は、読み出し動作にも関与するので、図 26 にも示している。

【0186】

アドレスバッファ 113 は、制御ロジック部 112 の制御下で、外部からのアドレスデータ（データの格納場所を示すデータ）を受け、そのアドレスデータを行方向アドレスと列方向アドレスとに分け、データ読み出し時には、各方向のアドレスをそれぞれ読み出し用行デコーダ 141 及び読み出し用列デコーダ 142 に供給する。

【0187】

読み出し用行デコーダ 141 は、アドレスバッファ 113 から供給されたアドレスに応じて各行の読み出し選択線 132 に L 信号又は H 信号を与えて、読み出すべきメモリセル MS の行を選択する。

【0188】

読み出し用列デコーダ 142 は、アドレスバッファ 113 から供給されたアドレスに応じて各列の読み出し選択線 134 に L 信号又は H 信号を与えて、読み出すべきメモリセル MS の列を選択する。

【0189】

センスアンプ 143 は、読み出し線 131 から得られるセンス電流を増幅する。データ制御回路 144 は、増幅されたセンス電流を論理電圧に変換し、読み出しデータとして I/O バッファ 145 に書き込む。

【0190】

I/O バッファ 145 は、制御ロジック部 112 による制御下で、データ制御回路 144 により書き込まれたデータを一時的に蓄積して適切なタイミングで外部に出力する。

【0191】

以上説明した各部の動作によって、外部からのコマンドによりデータ読み出しが指令されると、外部からのアドレスデータに応じたメモリセル MS に格納されたデータがセンス電流として読み出され、これがデータに変換されて外部に出力される。

【0192】

1 つずつのメモリセル MS からのデータを順次読み出してもよいが、1 本の読み出し選択線 132 に対し、交差する複数の読み出し選択線 134 上のデータを、同時にアクセスして複数のメモリセル MS のデータを取り出すことも可能である。

【0193】

なお、図面には示していないが、図 26 及び図 28 中の前述した各要素も、図 30 に示す基板 141 上に搭載されている。

【0194】

本実施の形態では、メモリセル MS として、前述した第 1 の TMR 素子 11 が用いられている。TMR 素子 11 では、電圧バイアス特性に起因する MR 比の低下が少なくなり、TMR 素子 11 の MR 比が向上する。このため、本実施の形態によれば、読み出し信号の SN 比が向上し、データ読み出しの信頼性を高めるこ

とができる。

【0195】

また、本実施の形態では、図30に示すように、メモリセルMSとして用いられているTMR素子11は、電流入出力端が両方とも基板141側となっているので、接続ビア145の高さは低くてすみ、接続ビアが跨る層数が少なくてすみ。この点は、接続ビア145と図36中のビアVU1、VU2、VU3とを比較されたい。したがって、本実施の形態によれば、多くの層数に跨るようなビアを形成する必要がないので、製造プロセスが簡単となる。

【0196】

また、本実施の形態によれば、前述したように、書き込み線101と書き込み線102とが電氣的に絶縁された状態となっている。これに対して、前述した図34に示す第1の従来例の場合、上部導体配線1と下部導体配線2とがTMR素子3を介して電氣的に接続した状態となっているため、上部導体配線1と下部導体配線2との間で微小な電圧が生じた場合、その間に存在するTMR素子3を介して微小電流が流れていた。更に、メモリセルは数万個以上を組み合わせるメモリ装置を構成するため、前記微小電流が大きなものとなり、これにより、メモリセルの場所によって書き込むための電流値が異なった値になってしまう場合がある。しかし、本実施の形態では、書き込み線101、102間が絶縁されているので、常に等しい書き込み用の電流を各メモリセルに供給することができる。

【0197】

また、TMRのMR検出用の電流はデータ書き込み用の電流（フリー層上に配線され、その電流磁場によりフリー層の磁化方向を変化させることになる。）とは無関係に流すことができるので、本発明のTMR素子でMRAMを構成した場合、データの書き込み動作及び読み出し操作を同時に行うことができ、メモリ動作の効率化が可能となる。

【0198】

更に、本実施の形態では、メモリセルMSの上側に書き込み線101、102を配置しているので、IC基板上に最初に形成されるのがTMR素子となる。一般的にTMRの形成にはその下地の平面度が極めて高い必要がある。なぜならば

、TMR層の特にトンネルバリア層は10 nm程度乃至はそれ以下のレベルとなるため均一に成形するのに困難が伴うからである。そのため、その下地についてはCMP等を使ってラフネスを1 nm程度の平坦度にする必要がある。しかし、従来の形態のように、下地に導体パターン（100 nmオーダー）等があると、凹凸が激しく存在することになるため、その凹凸を平坦化するのは非常に手間と多くの処理が必要となる。しかし、最下層が既に十分平坦化されている面或いは凹凸が少ない面であれば、容易に極めて高い平坦度の面を形成し易くなる。よってTMR素子成形プロセスに関しても容易にすることができる。

【0199】

本実施の形態では、メモリセルMSとして、前記第1のTMR素子11が用いられている。しかしながら、本発明では、本実施の形態と同様のメモリ装置において、メモリセルMSとして、前述した各例によるTMR素子31, 41, 51, 61, 71, 81を用いてもよい。特に、メモリセルMSとして、TMR素子11に代えてTMR素子71, 81を用いる場合、本実施の形態によるメモリ装置をほとんど修正しなくてすみ、しかも、本実施の形態の利点を全て得ることができる。

【0200】

[第2の実施の形態]

【0201】

図31は、本発明の第2の実施の形態によるメモリ装置の要部を示す概略斜視図であり、図29に対応している。図31中のM-M'線に沿った概略断面図は、図30と同様になる。図32は、図31中の1つのメモリセルMS付近を拡大した概略斜視図である。図33は、図32中のN-N'線に沿った概略断面図である。

【0202】

本実施の形態が前記第1の実施の形態と異なる所は、書き込み線101, 102が生ずる合成電流磁場を、書き込み線101, 102の交差部の四隅付近においてメモリセルMSのフリー層へ案内する磁路形成層151が、追加されている点と、メモリセルMSのフリー層と書き込み線101との間に絶縁層が設けられ

ていない点のみである。

【0203】

磁路形成層 151 は、書き込み線 101、102 の交差点上付近において、書き込み線 101、102 に対して上方から設けられ、磁気ヨークを構成している。磁路形成層 151 は書き込み線 101、102 の交差部の四隅でフリー層と接続されている。なお、図 33 において、152 は絶縁層である。

【0204】

本実施の形態によれば、磁路形成層 151 によって、書き込み線 101、102 が形成する電流磁場を効率的にメモリセル MS (TMR 素子 11) のフリー層に与えることができる。そのため、磁路形成層 151 が無いときに比べ、書き込み線 101、102 に流す電流を小さくすることができ、データ書き込み時の省電流化が可能となる。また、外部からの磁気的影響に対して磁気シールド効果を有する。

【0205】

更に、直交する書き込み線 101、102 の 4 つの隅で磁路形成層 151 とフリー層とを接続したので、書き込み線 101、102 により形成される合成電流磁場でその合成磁場が略 45 度程度に来たときのみ書き換えに有効な磁場がフリー層に侵入するため、磁化方向を書き換えることが可能になる。また、従来の電流磁場が空間に形成される構造では、ワード線又はビット線の一方のみによるデータ書き込み線の電流磁場により TMR 素子のフリー層の磁化方向を変えてしまうエラー（半書き込み）に対しても、一方の線単独に形成される電流磁場の方向（線に対して垂直方向）に対して前記磁気ヨークは閉磁路構造にはなっていないことから、フリー層の磁化方向を変えるにいたる磁場には達しないため、このようなエラーに対するマージンが大きくなる。

【0206】

なお、本実施の形態では、各メモリセル MS の上部に形成した磁路形成層 151 は、各セル毎に分離されて形成されているが、フェライト等の酸化物磁性材料をスパッタ及び湿式メッキで付着させた場合は、個別のパターンにする必要はなく、TMR 素子が形成された領域に一面に付着された状態であってもよい。

【0207】

以上、本発明の各実施の形態について説明したが、本発明はこれらの実施の形態に限定されるものではない。

【0208】**【発明の効果】**

以上説明したように、本発明によれば、メモリ容量の高容量化を図ることができるとともに、データ読み出しの信頼性を高めることができることができるメモリ装置を提供することができる。

【0209】

また、本発明によれば、メモリ容量の高容量化を図ることができるとともに、データ読み出しの信頼性を高めることができ、しかも、磁気抵抗効果素子の入出力端の電氣的な接続に伴う製造プロセスを簡単にすることができるメモリ装置を提供することができる。

【図面の簡単な説明】**【図1】**

本発明で用いることができる第1のTMR素子を示す概略断面図である。

【図2】

図1中のA-A' 矢視図である。

【図3】

図1に示すTMR素子の磁化方向の一例を示す図である。

【図4】

図1に示すTMR素子の等価回路図である。

【図5】

第1のTMR素子の変形例によるTMR素子を示す平面図である。

【図6】

図5に示すTMR素子の磁化方向の一例を示す図である。

【図7】

図1に示すTMR素子の製造方法の各工程を示す概略断面図である。

【図8】

本発明で用いることができる第2のTMR素子を示す概略断面図である。

【図9】

図8中のB-B' 矢視図である。

【図10】

本発明で用いることができる第3のTMR素子を示す概略断面図である。

【図11】

図10中のC-C' 矢視図である。

【図12】

図10に示すTMR素子の製造方法の各工程を示す概略断面図である。

【図13】

本発明で用いることができる第4のTMR素子を示す概略断面図である。

【図14】

図13中のD-D' 矢視図である。

【図15】

本発明で用いることができる第5のTMR素子を示す概略断面図である。

【図16】

図15中のE-E' 矢視図である。

【図17】

図15に示すTMR素子の等価回路図である。

【図18】

本発明で用いることができる第6のTMR素子を示す概略断面図である。

【図19】

図18中のF-F' 矢視図である。

【図20】

図18に示すTMR素子の等価回路図である。

【図21】

本発明で用いることができる第7のTMR素子を示す概略断面図である。

【図22】

図21中のG-G' 線に沿った概略断面である。

【図 2 3】

図 2 1 中の H-H' 線に沿った概略断面である。

【図 2 4】

図 2 1 中の J-J' 線に沿った概略断面である。

【図 2 5】

図 2 1 中の K-K' 線に沿った概略断面である。

【図 2 6】

本発明の第 1 の実施の形態によるメモリ装置のデータ読み出しに関する構成を示す概略構成図である。

【図 2 7】

本発明の第 1 の実施の形態によるメモリ装置のデータ読み出し回路を構成する基本単位となる 1 つのブロックを示す回路図である。

【図 2 8】

本発明の第 1 の実施の形態によるメモリ装置のデータ書き込みに関する構成を示す図である。

【図 2 9】

本発明の第 1 の実施の形態によるメモリ装置におけるメモリセルと書き込み線との位置関係を模式的に示す概略斜視図である。

【図 3 0】

図 2 9 中の L-L' 線に沿った概略断面図である。

【図 3 1】

本発明の第 2 の実施の形態によるメモリ装置の要部を示す概略斜視図である。

【図 3 2】

図 3 1 中の 1 つのメモリセル付近を拡大した概略斜視図である。

【図 3 3】

図 3 2 中の N-N' 線に沿った概略断面図である。

【図 3 4】

第 1 の従来例の MRAM の 1 つのメモリセルの付近を示す概略断面図である。

【図 3 5】

第 2 の従来例の M R A M の読み出し回路を示す回路図である。

【図 3 6】

第 2 の従来例の M R A M の構造を示す断面図である。

【符号の説明】

1 1, 3 1, 4 1, 5 1, 6 1, 7 1, 8 1 TMR 素子

1 2 a, 1 2 b ピン層

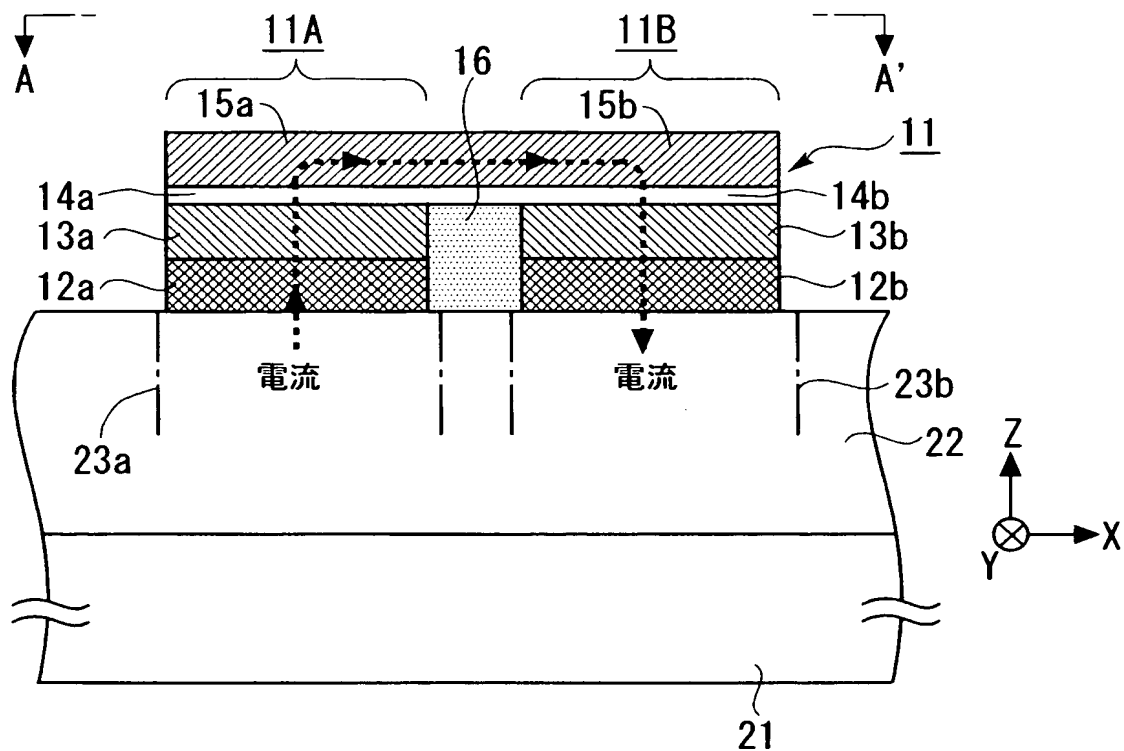
1 3 a, 1 3 b ピンド層

1 4 a, 1 4 b トンネルバリア層

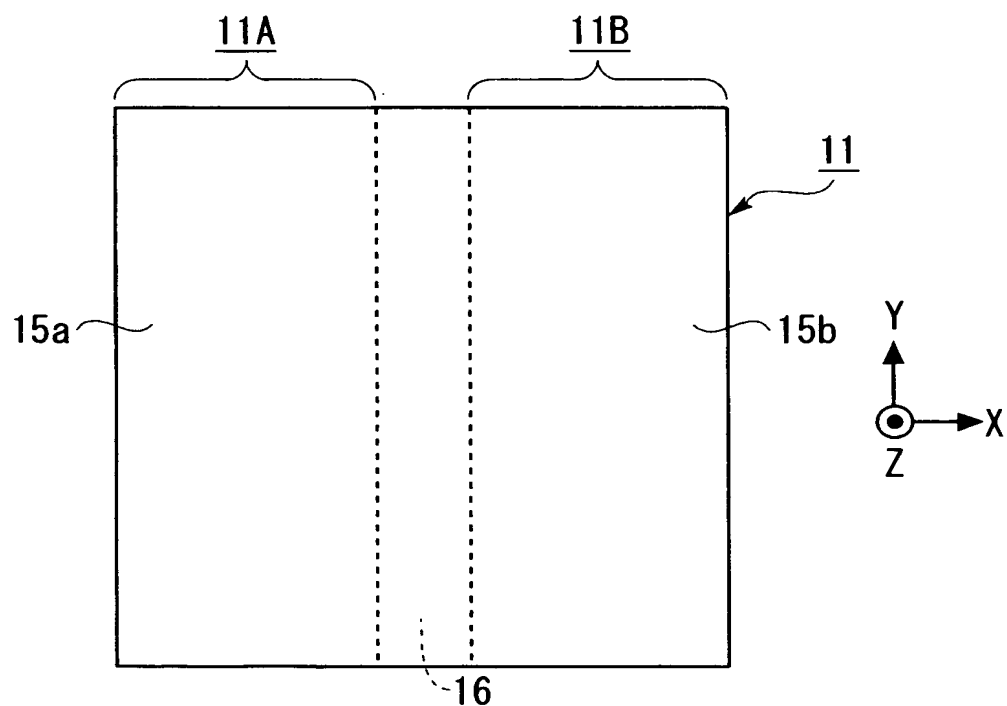
1 5 a, 1 5 b フリー層

【書類名】 図面

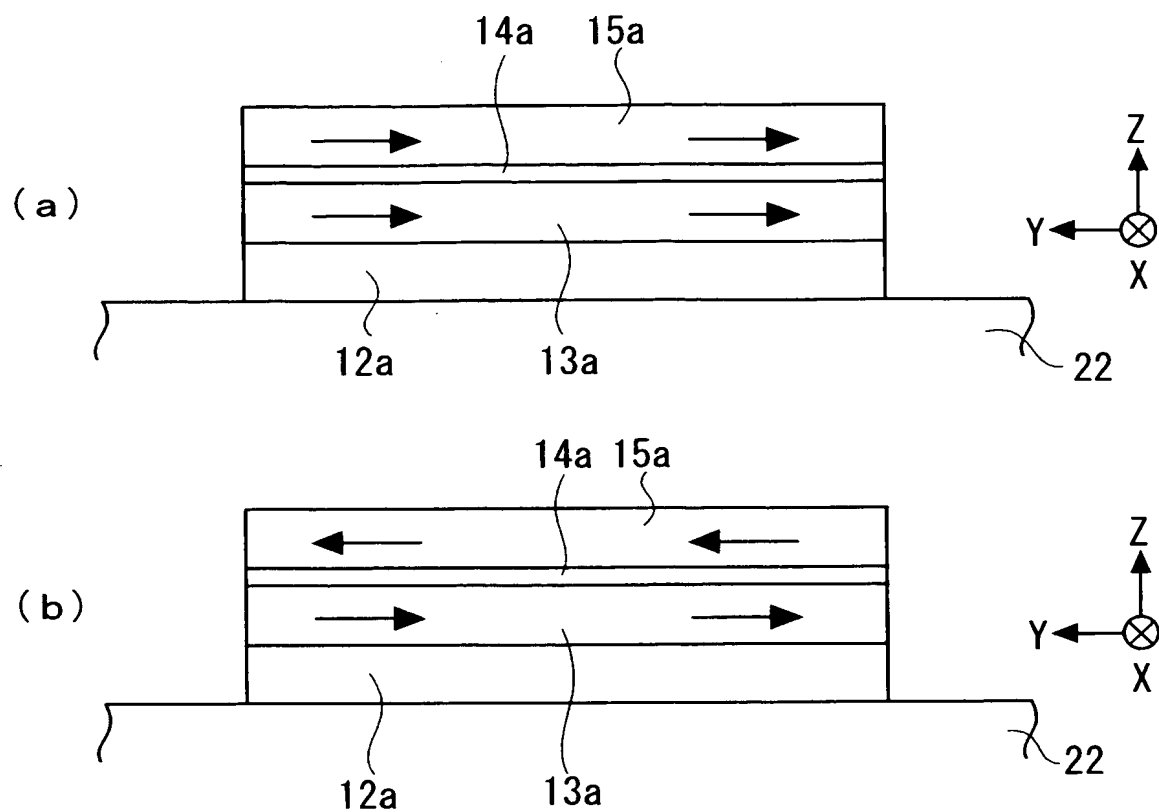
【図 1】



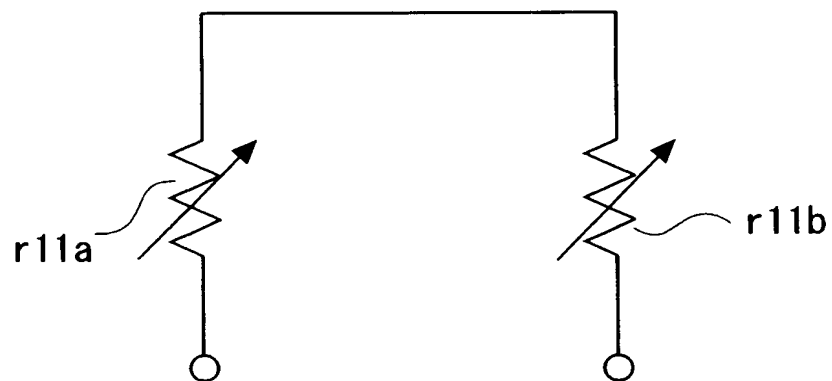
【図 2】



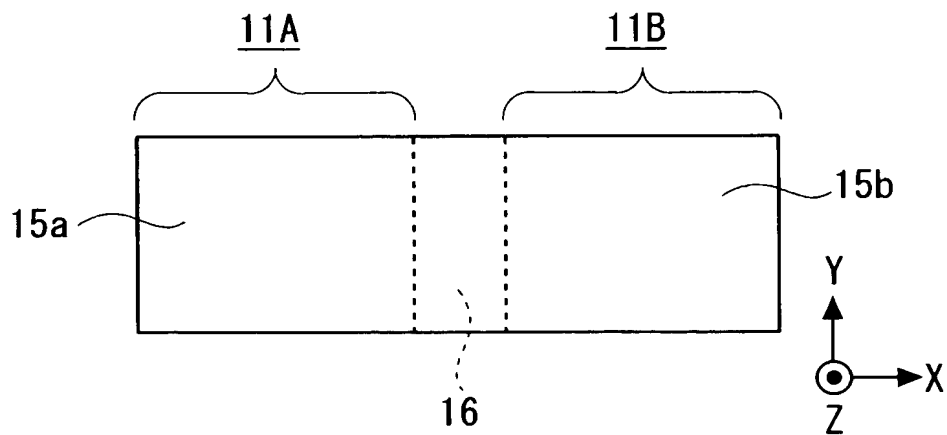
【図 3】



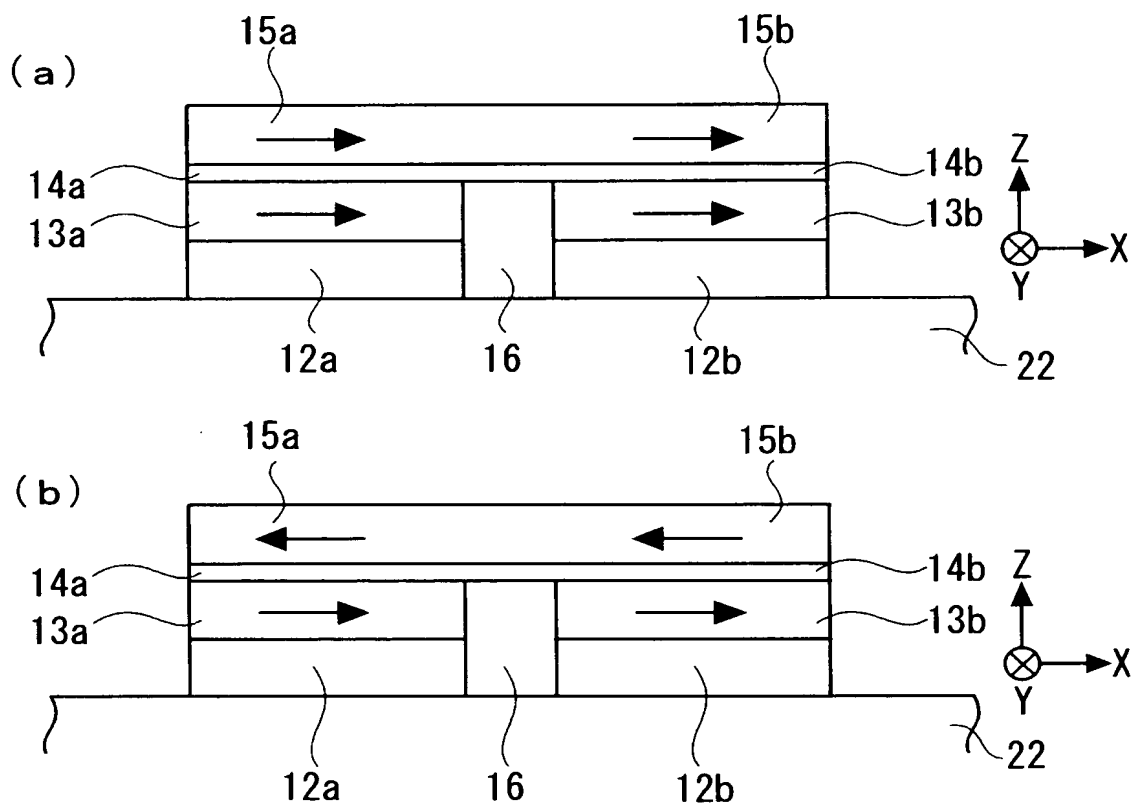
【図 4】



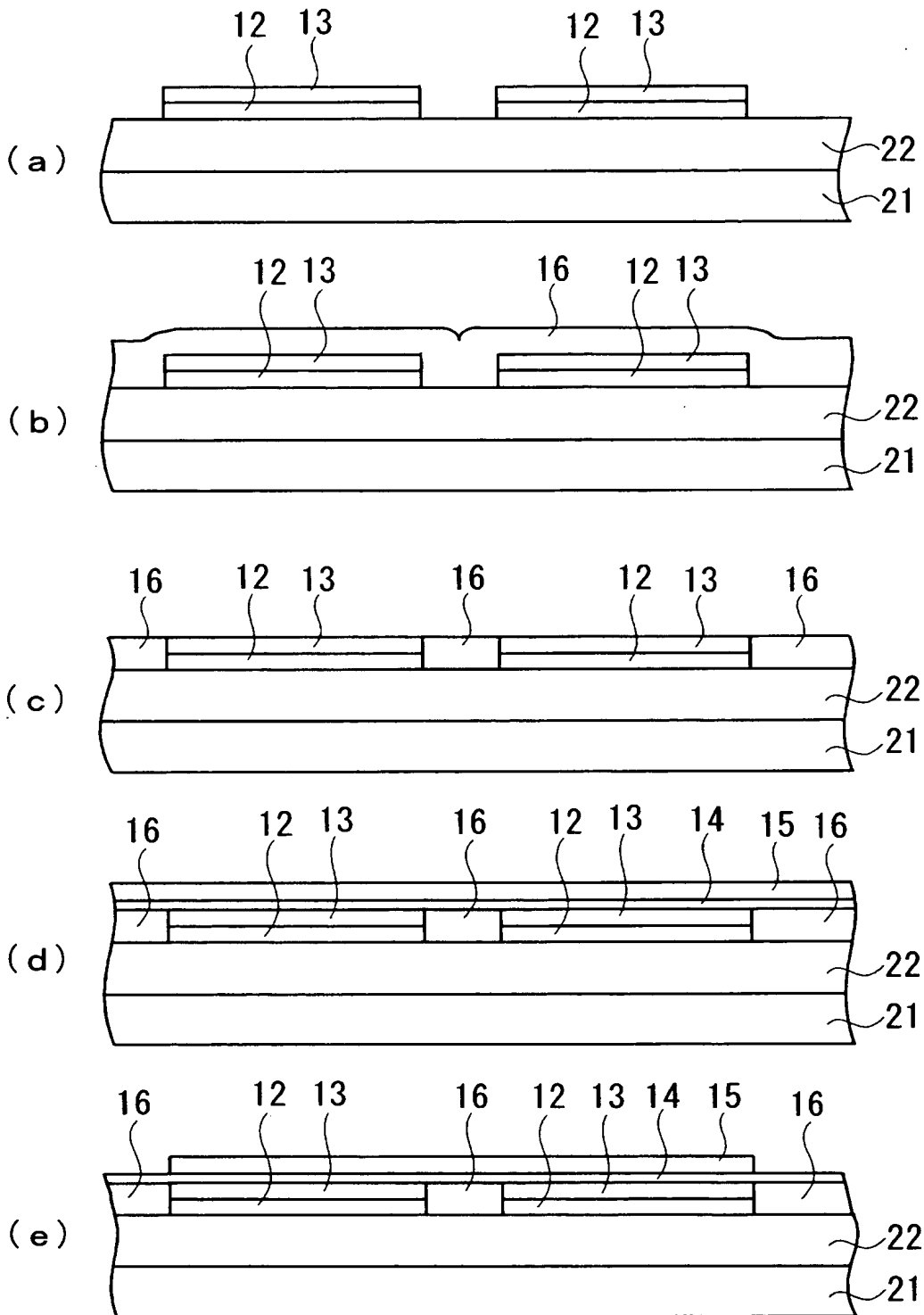
【図 5】



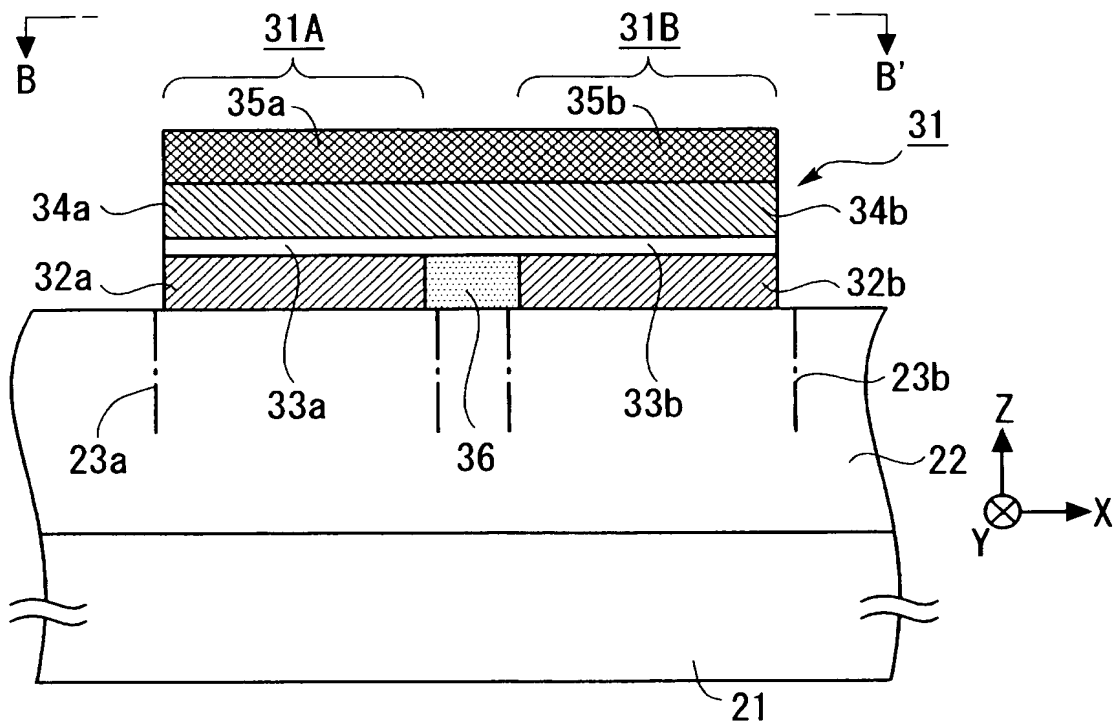
【図 6】



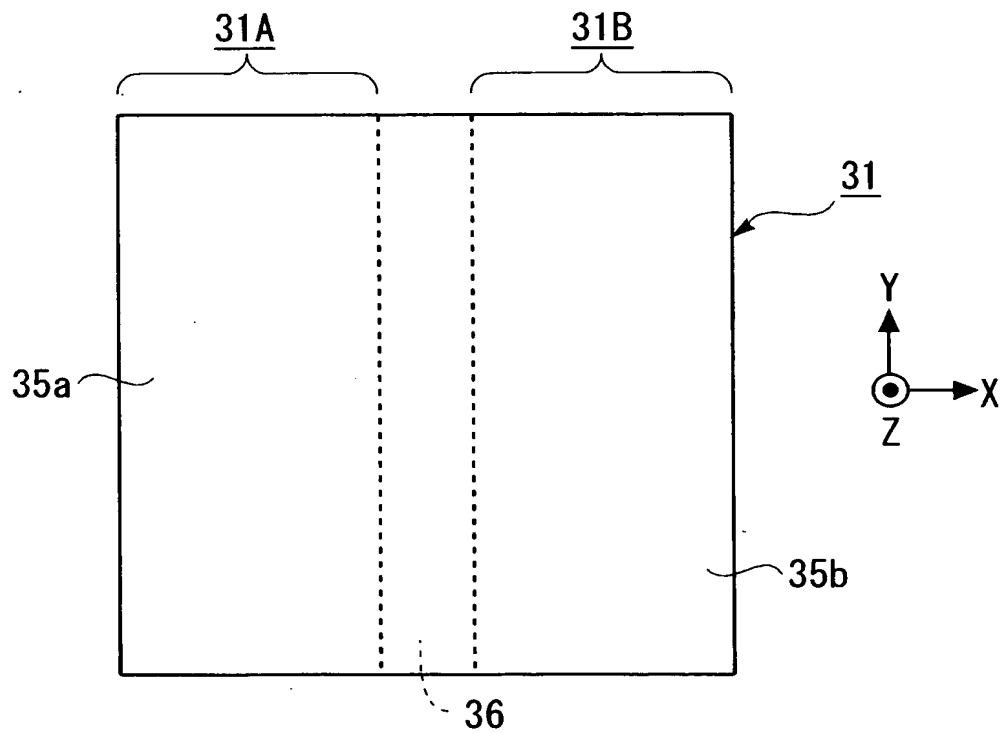
【図 7】



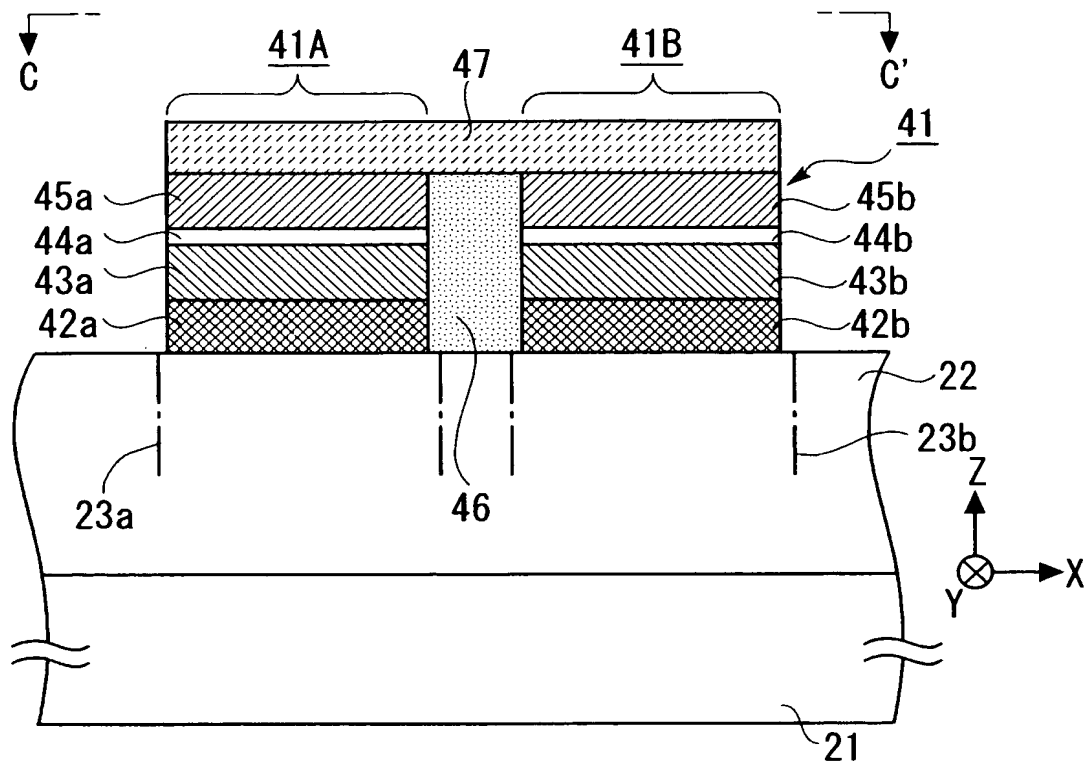
【図 8】



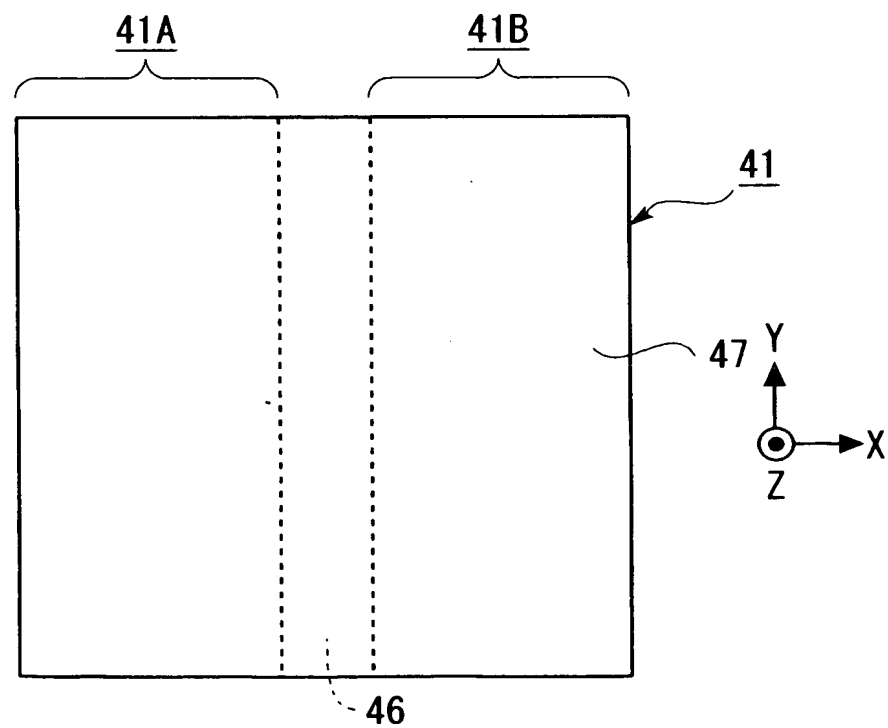
【図 9】



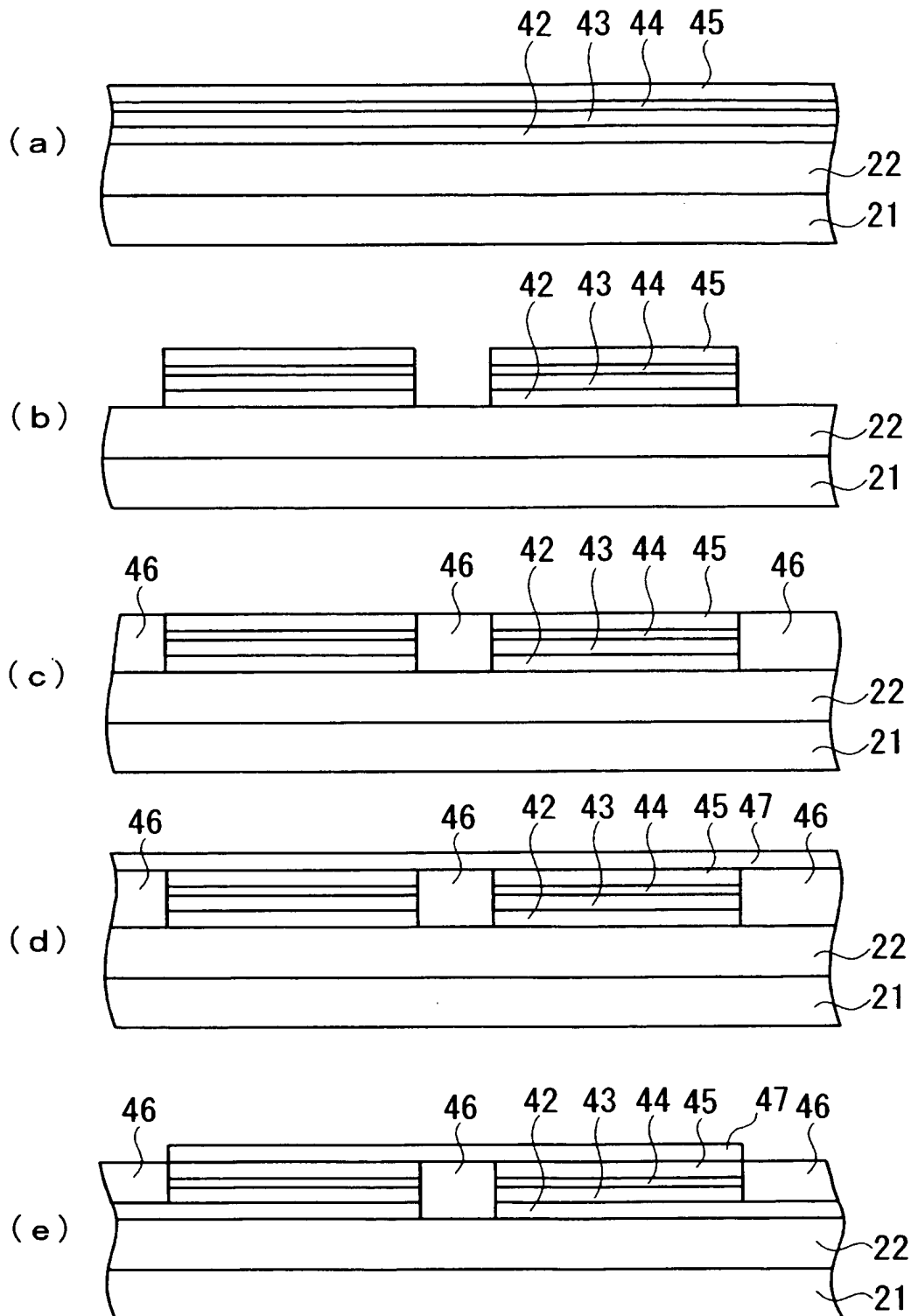
【図 10】



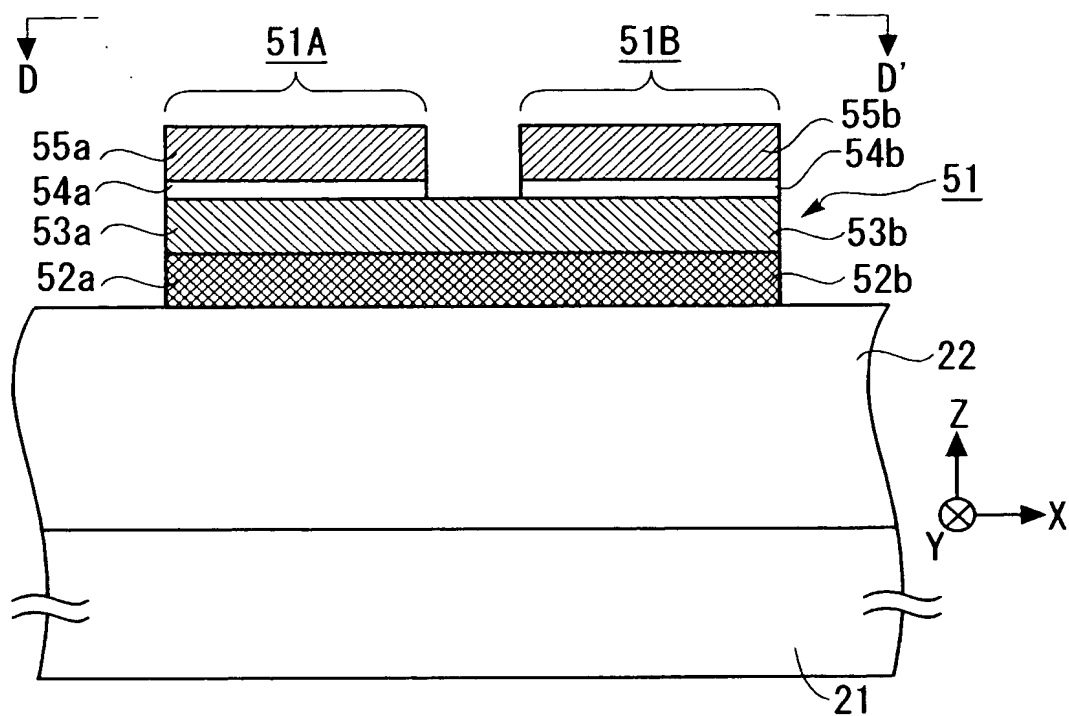
【図 11】



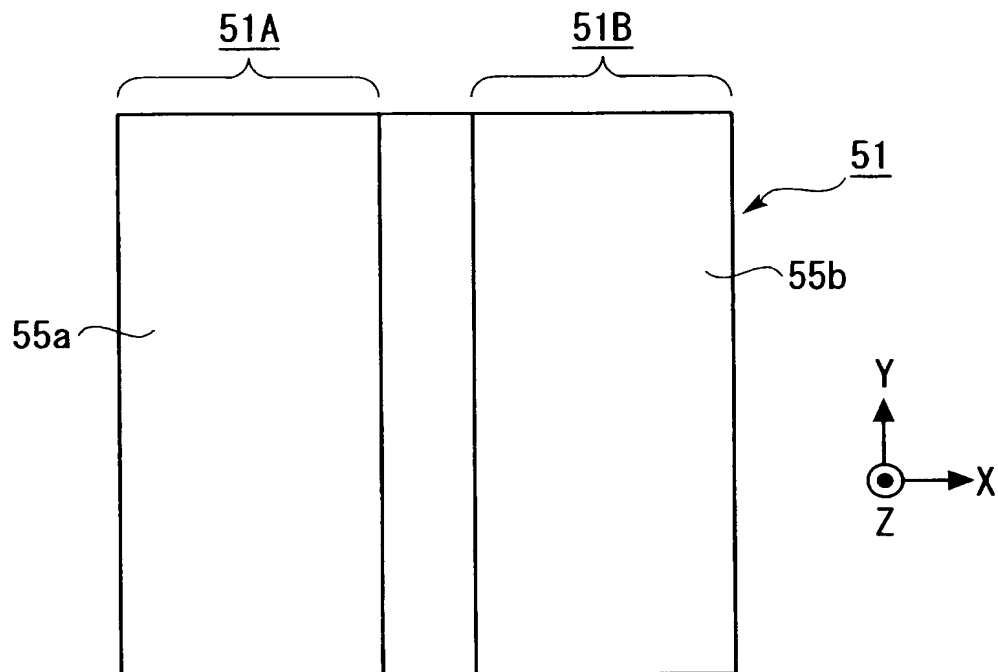
【図 12】



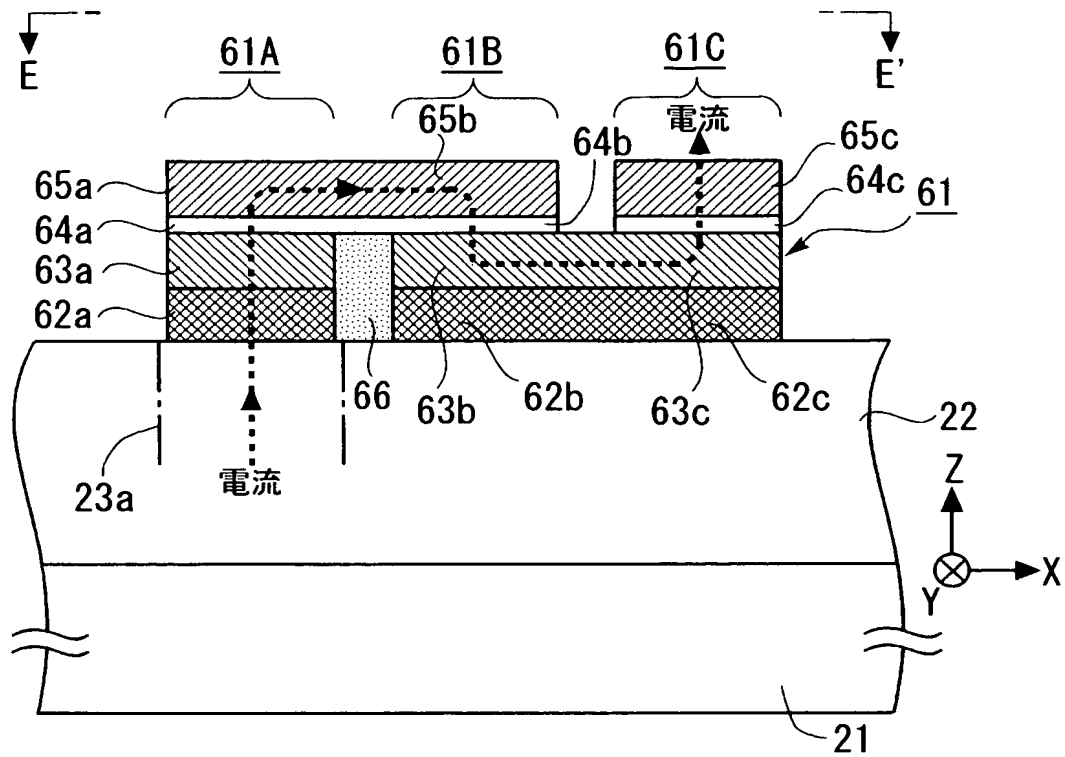
【図 13】



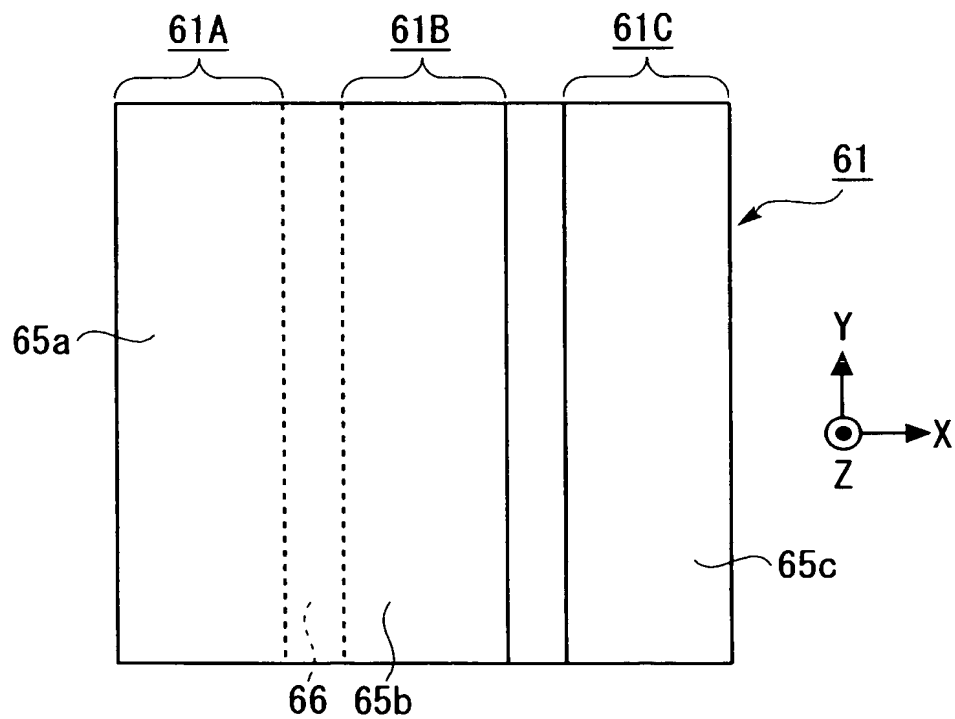
【図 14】



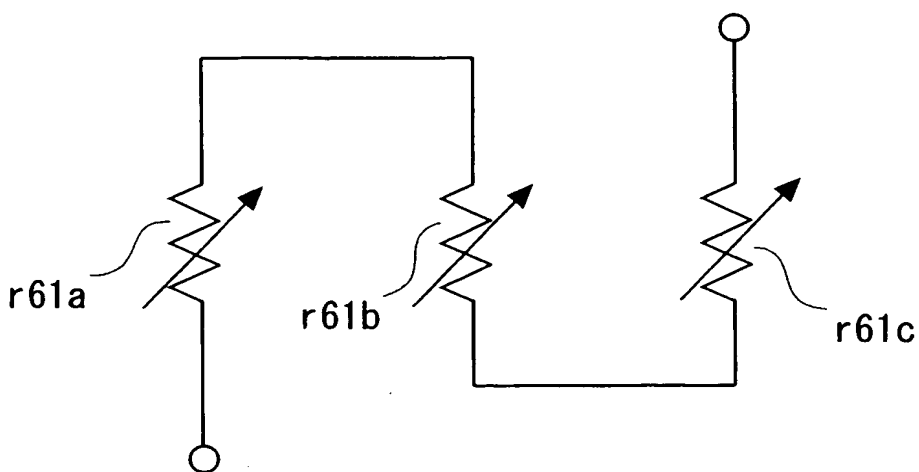
【図 15】



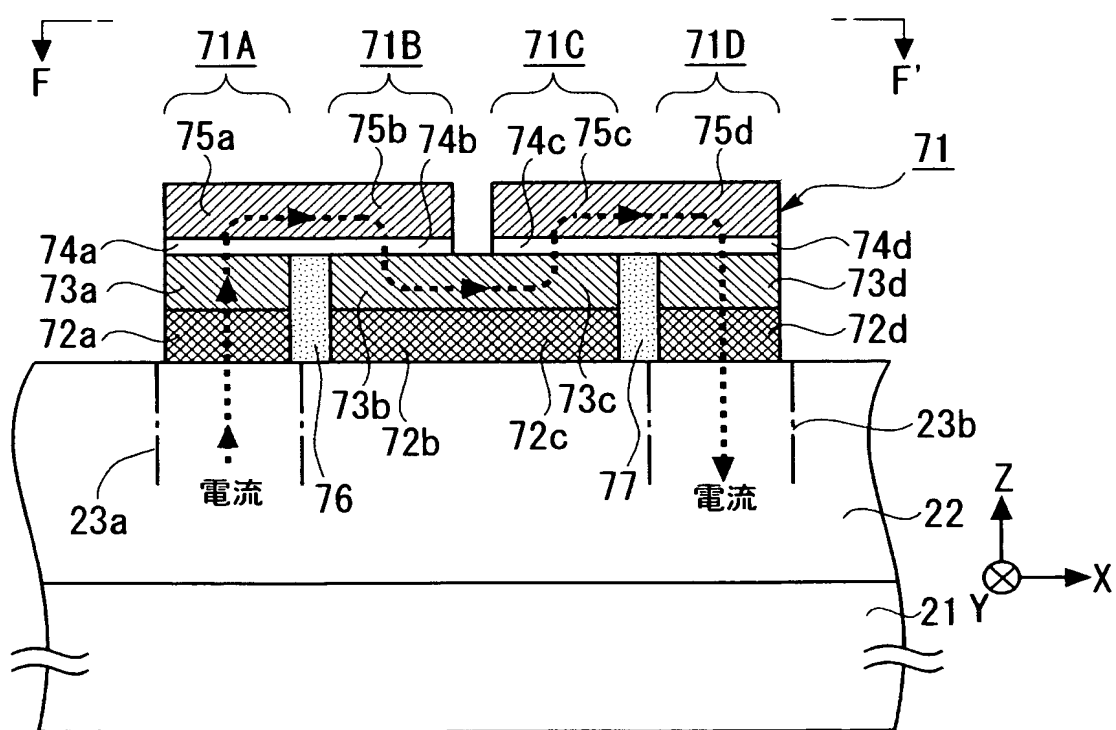
【図 16】



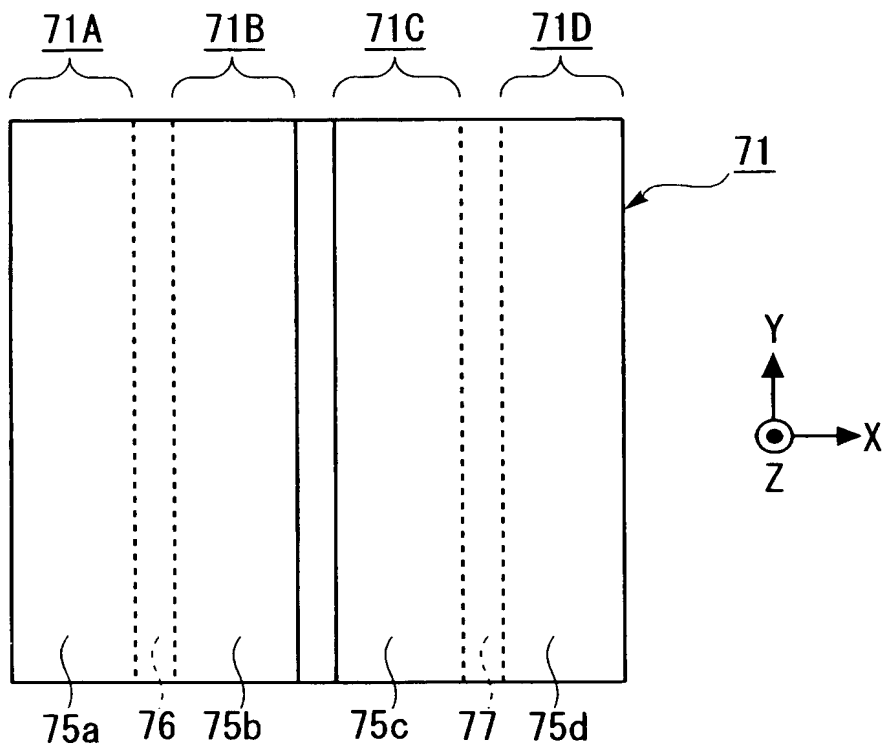
【図 17】



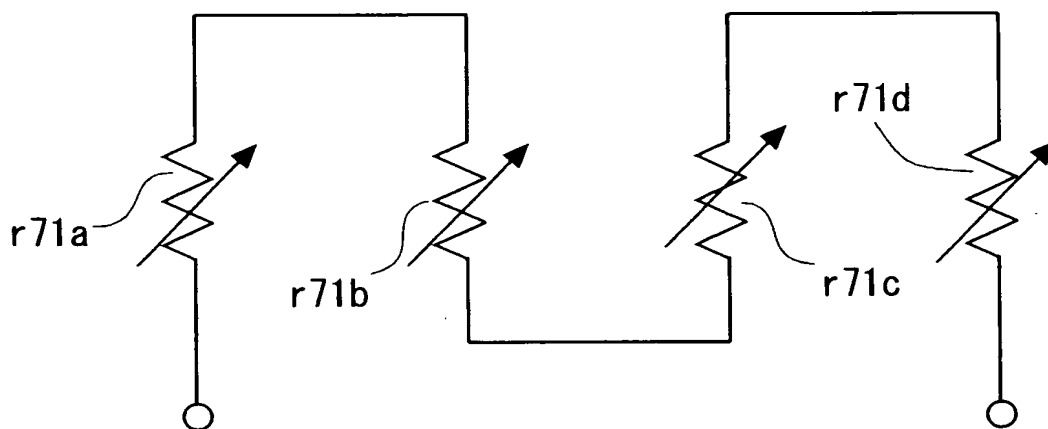
【図 18】



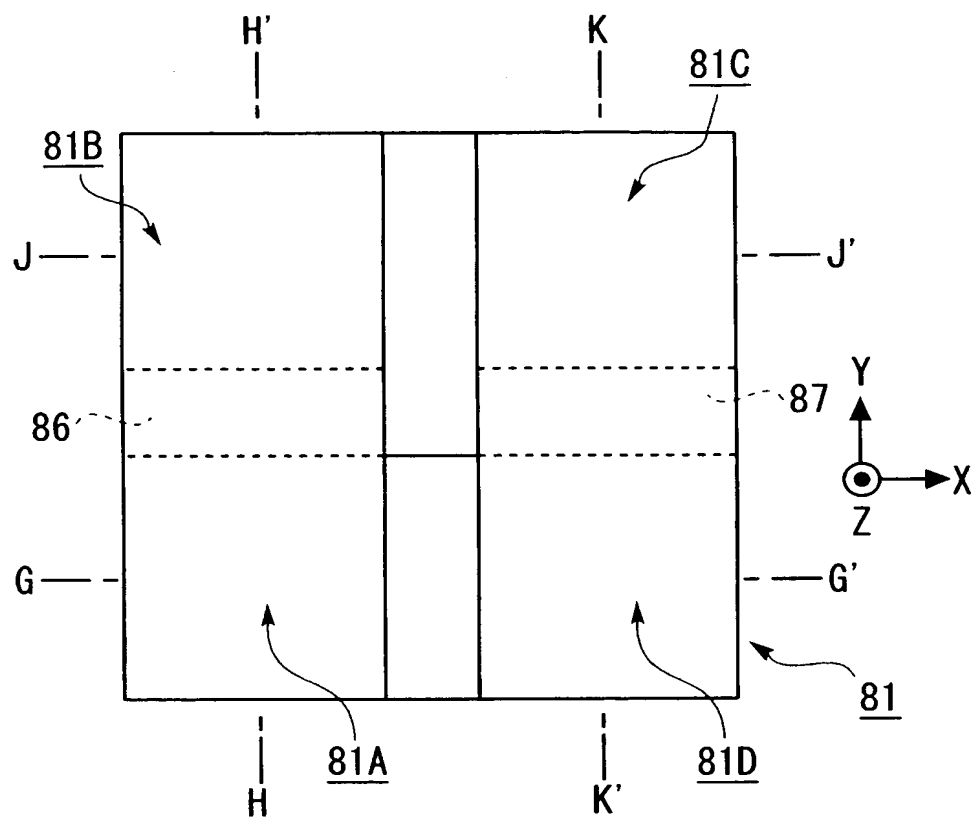
【図 19】



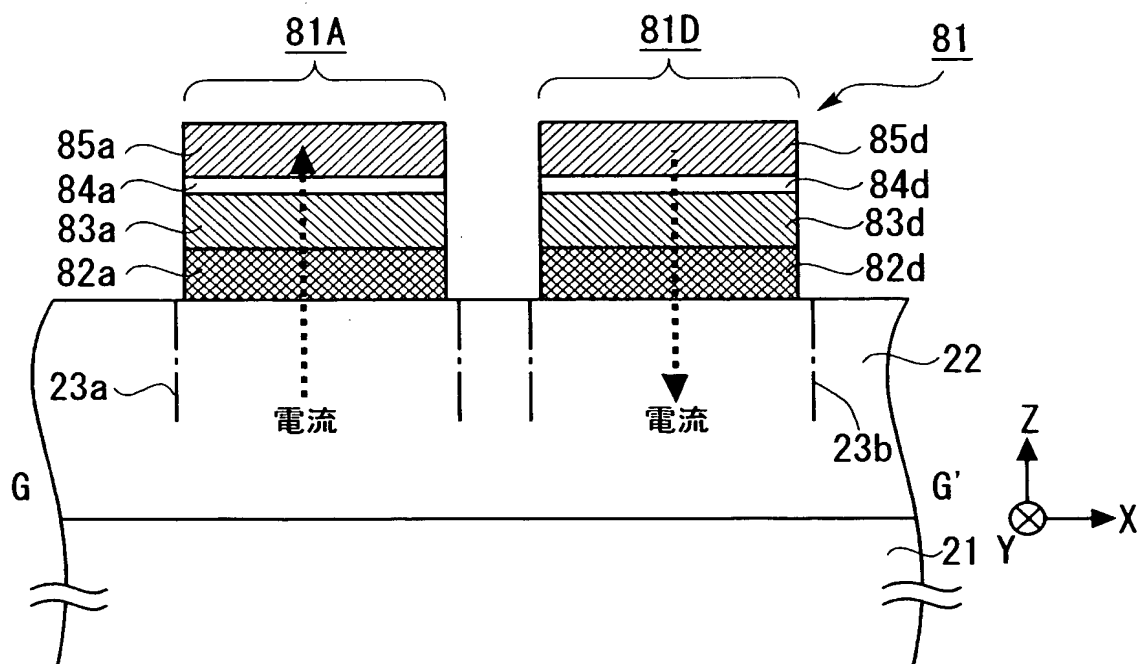
【図 20】



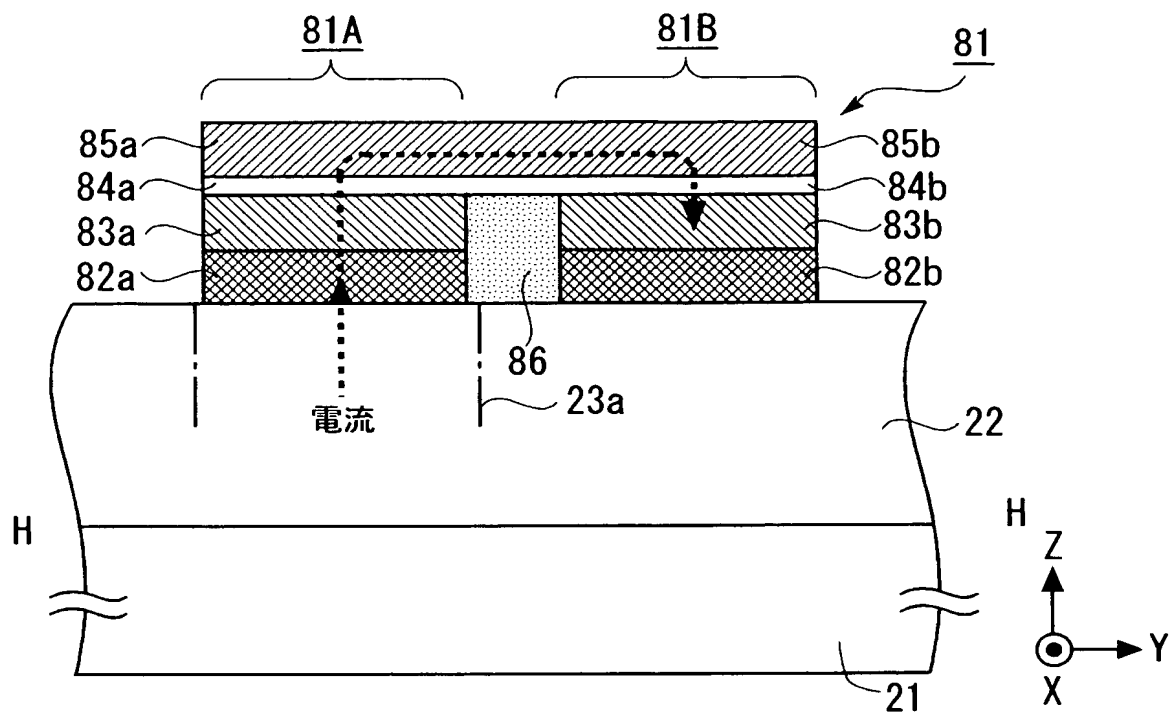
【図 2 1】



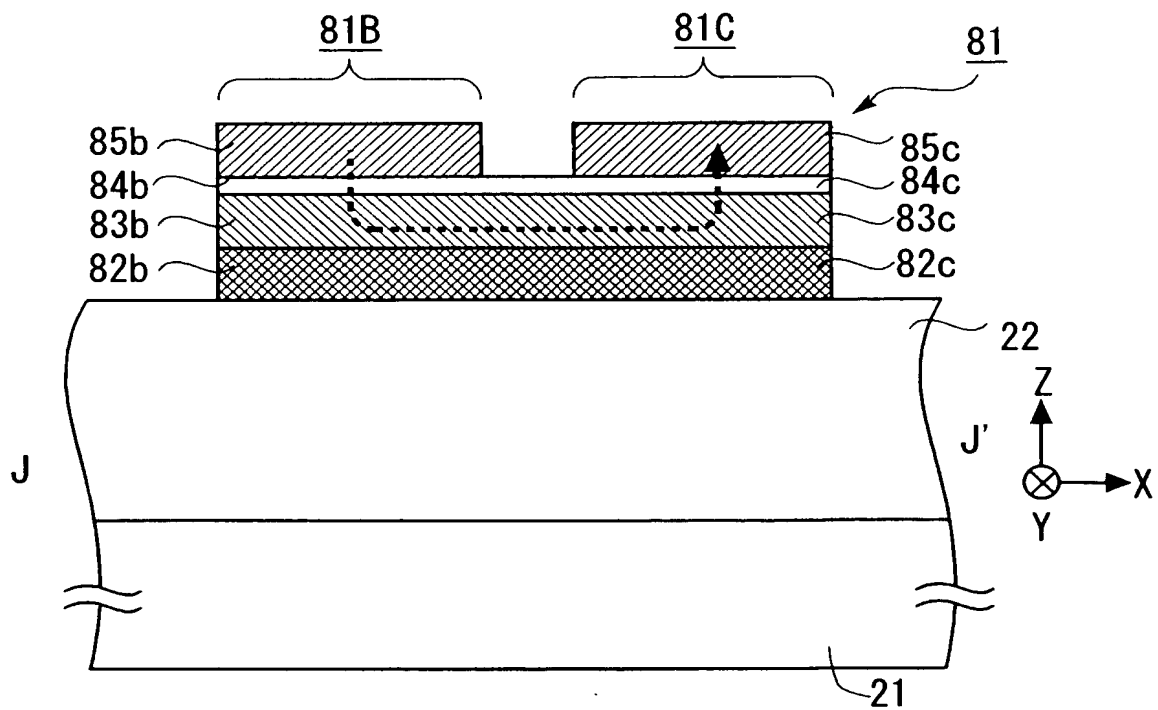
【図 2 2】



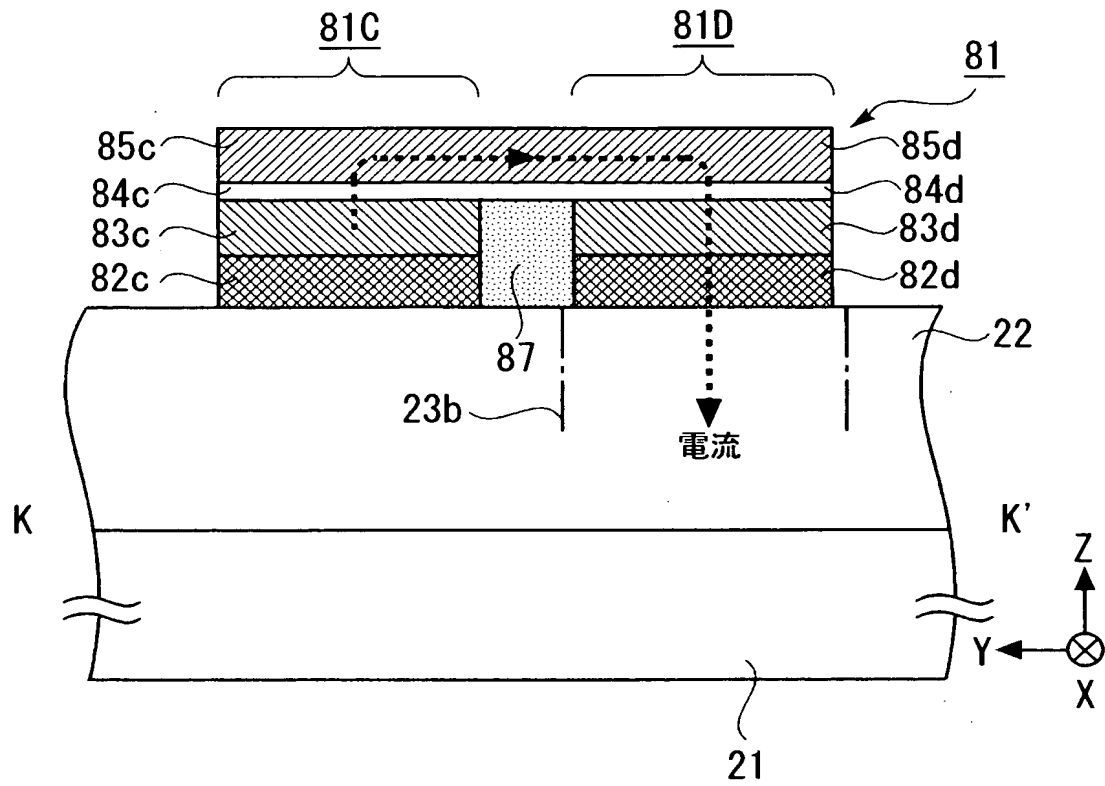
【図 2 3】



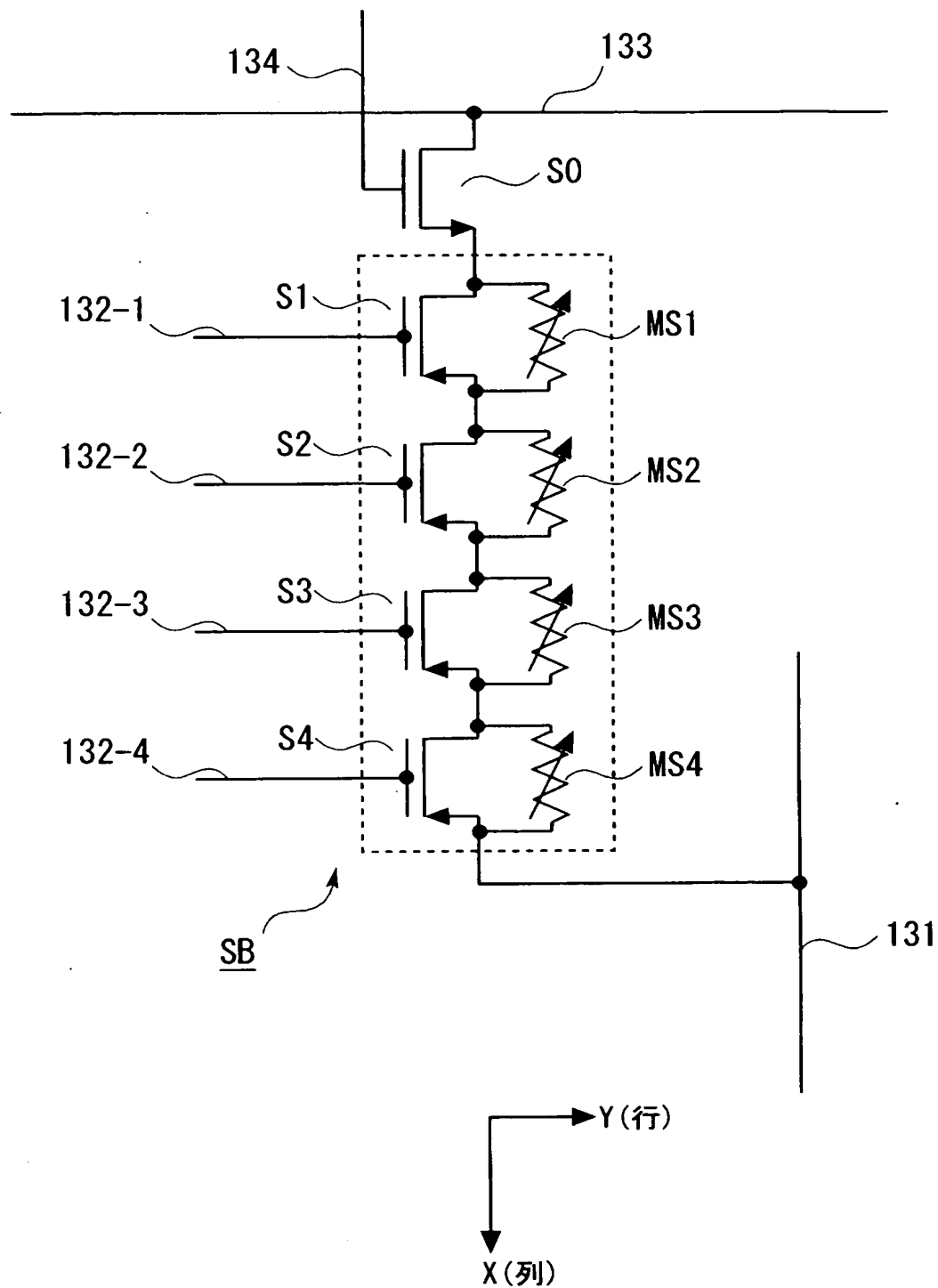
【図 2 4】



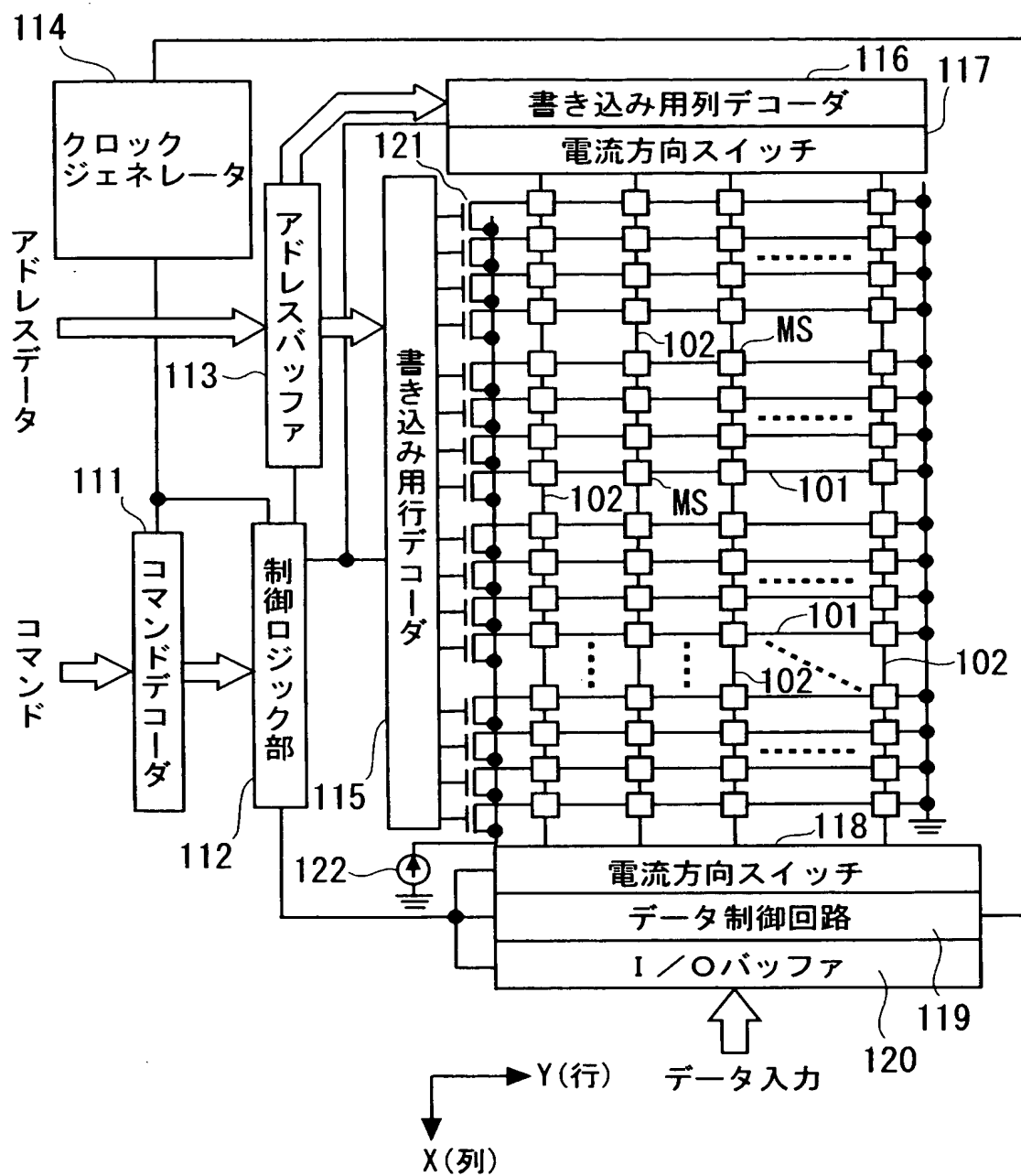
【図 25】



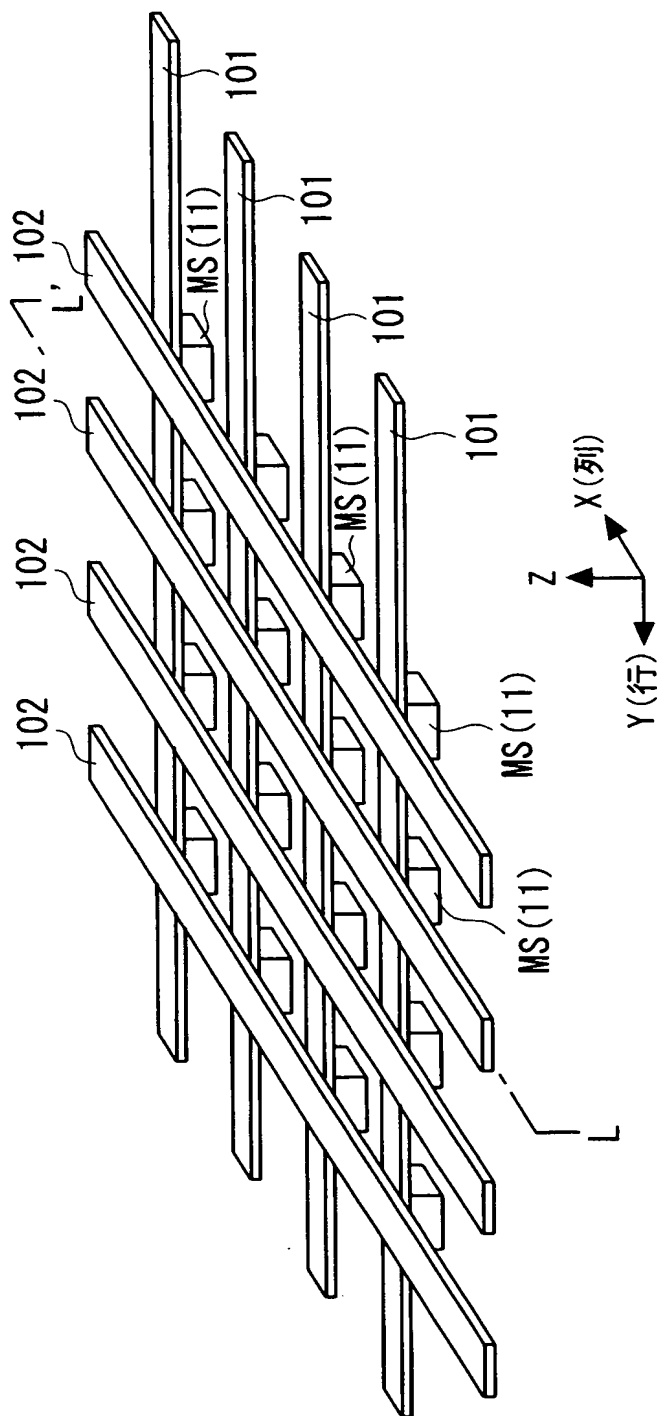
【図 27】



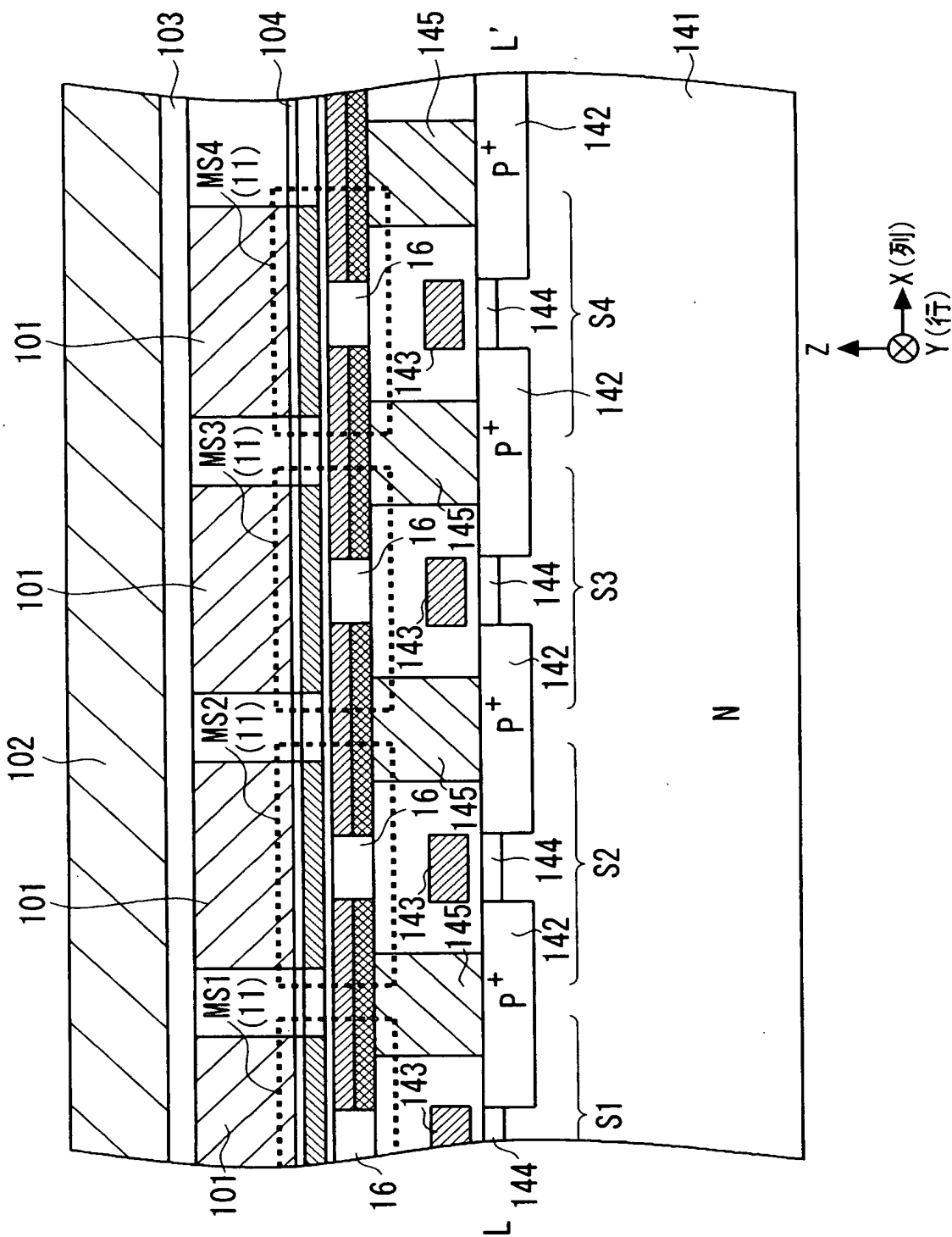
【図 28】



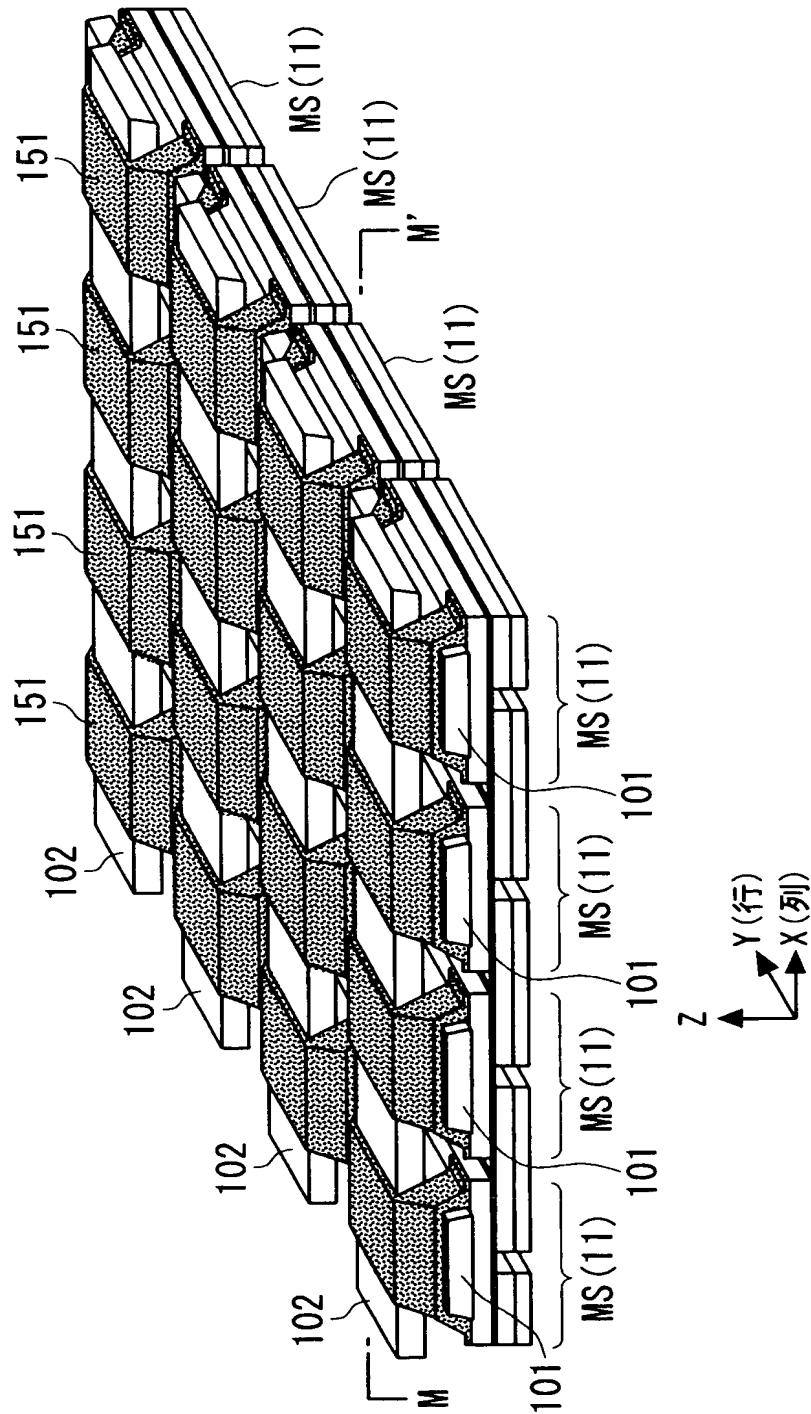
【図 29】



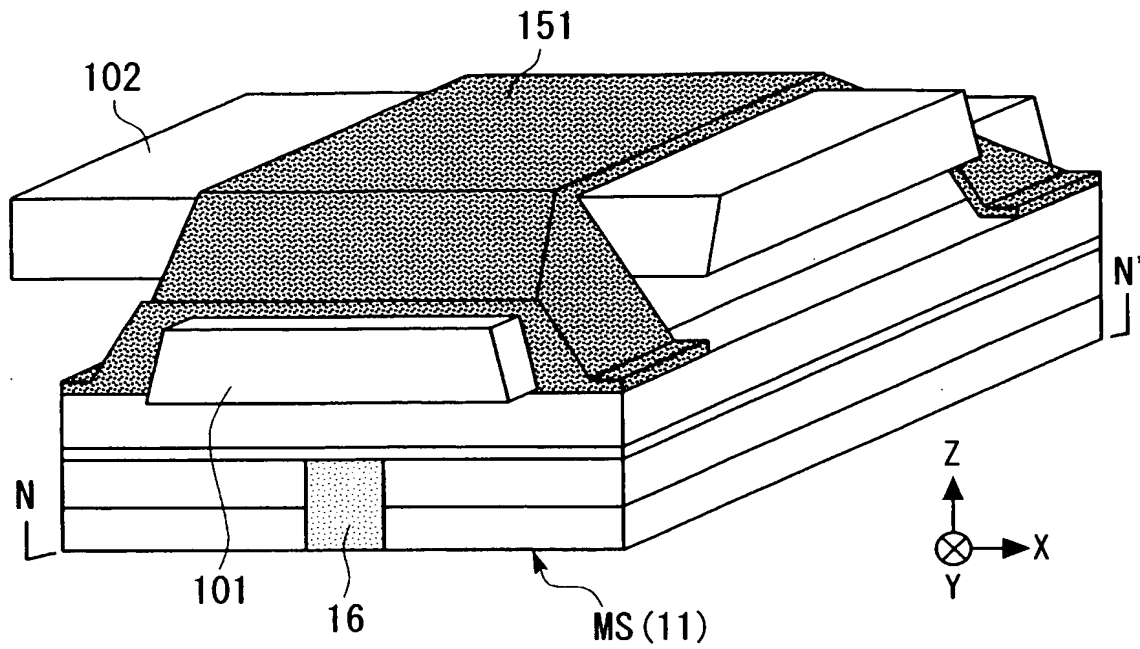
【図 30】



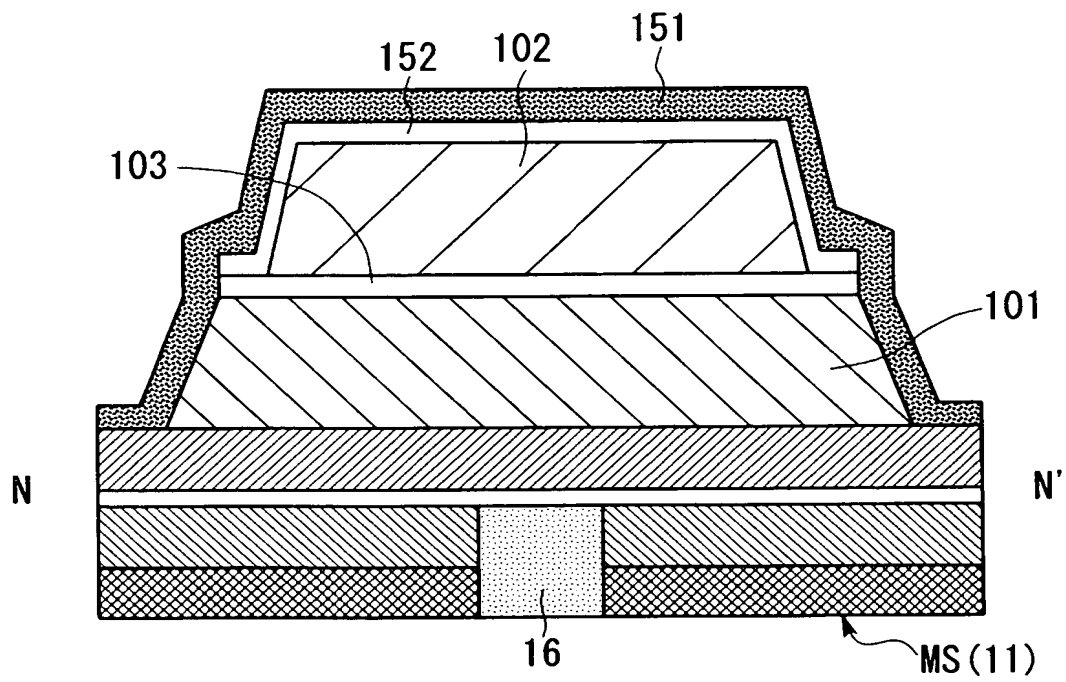
【図 31】



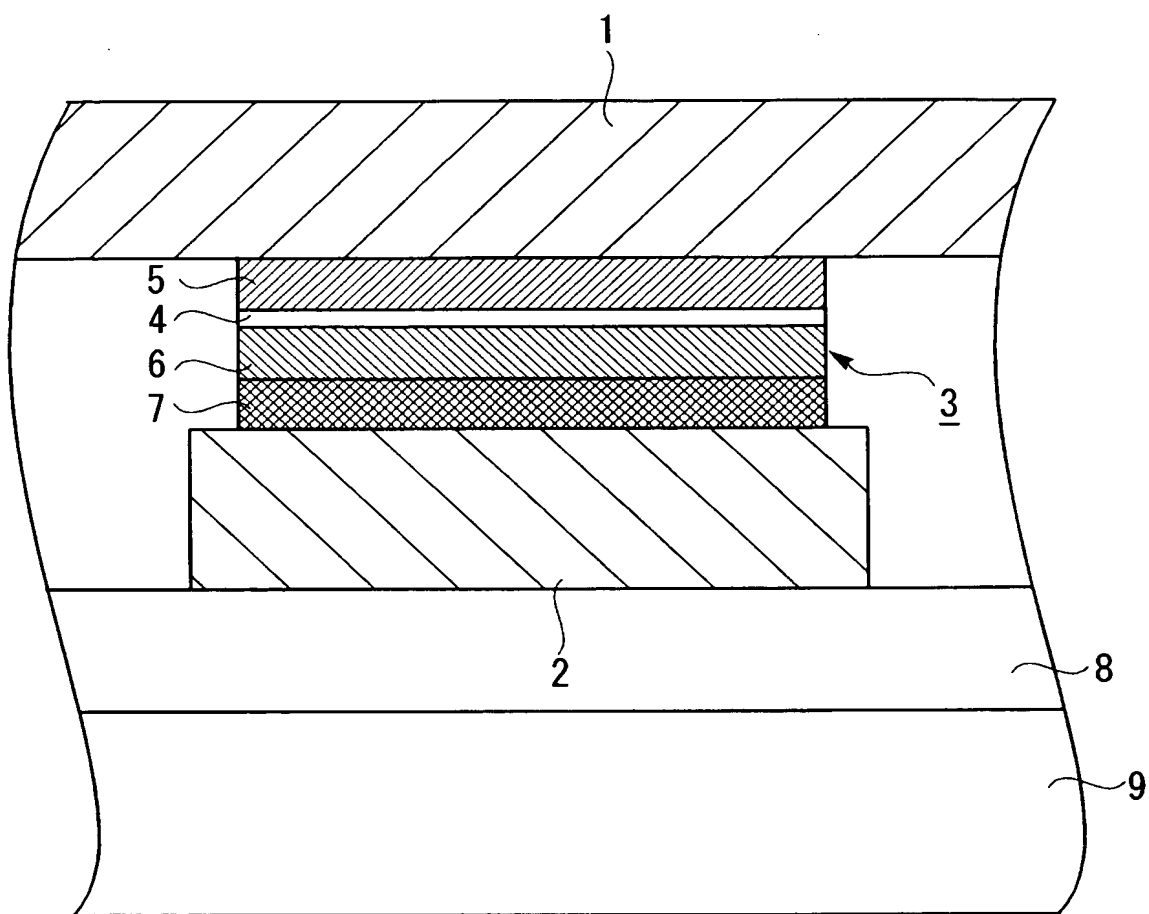
【図 3 2】



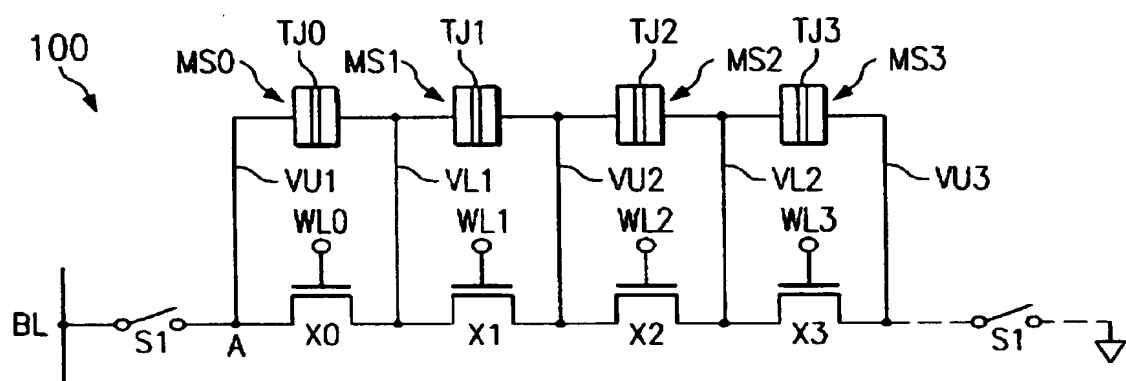
【図 3 3】



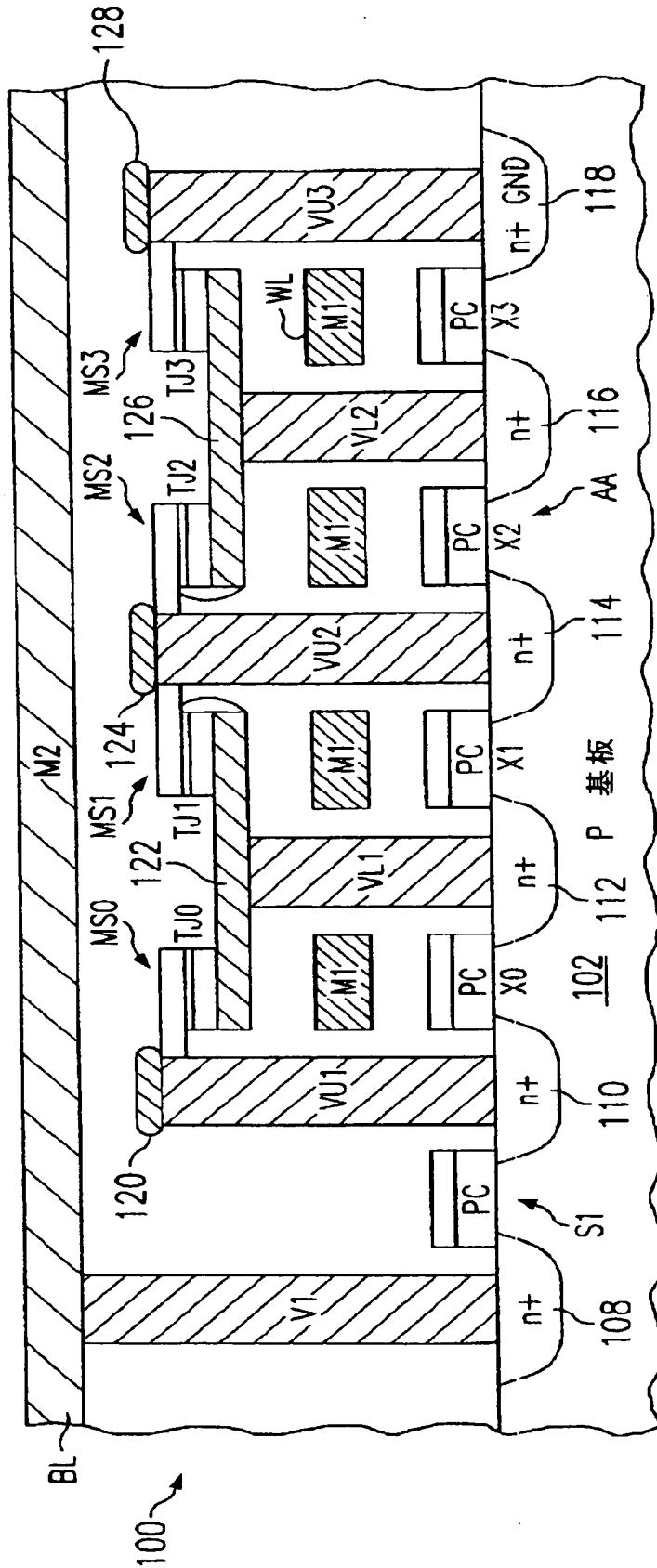
【図 3 4】



【図 3 5】



【図 3 6】



【書類名】 要約書

【要約】

【課題】 メモリ容量の高容量化を図り、しかも、データ読み出しの信頼性を高める。

【解決手段】 データ読み出し回路を構成する基本単位となる1つのブロックS Bは、電氣的に直列接続された4つのメモリセルMS1～MS4と、メモリセルMS1～MS4の各々に1つずつ並列接続された4つのFETS1～S4と、一端がメモリセルMS1～MS4の一方の直列接続端に接続されたFETS0と、から構成される。各メモリセルMS1～MS4は、電氣的に直列接続された2つのTMR素子部を持つTMR素子で構成される。2つのTMR素子部は、直列接続されて直列接続体を構成する。センス電流は、2つのTMR素子部の直列接続体の一端のみから流入してこれらのTMR素子部を順次経由した後に前記直列接続体の他端のみから流出する。

【選択図】 図27

特願 2 0 0 2 - 3 8 0 7 2 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社

2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.